



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2007년11월30일  
 (11) 등록번호 10-0780750  
 (24) 등록일자 2007년11월23일

(51) Int. Cl.

H01L 27/092 (2006.01) H01L 21/8228 (2006.01)

(21) 출원번호 10-2006-0042341

(22) 출원일자 2006년05월11일

심사청구일자 2006년05월11일

(65) 공개번호 10-2007-0109415

공개일자 2007년11월15일

(56) 선행기술조사문헌

JP08018021 A

(뒷면에 계속)

(73) 특허권자

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

신영수

대전 유성구 도룡동 383-2 과기원교수아파트 2동 501호

김형욱

서울 송파구 잠실동 우성아파트 27동 603호

(74) 대리인

박영우

전체 청구항 수 : 총 18 항

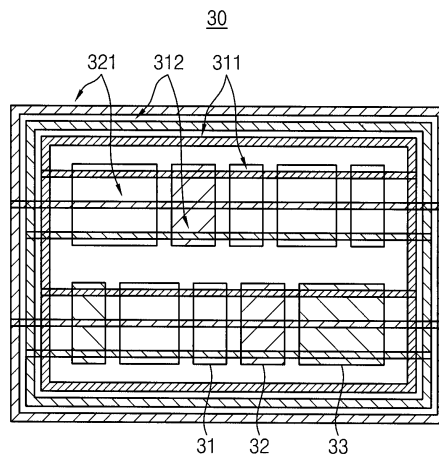
심사관 : 정병홍

**(54) 표준 셀과 파워 게이팅 셀을 이용한 파워 네트워크 및 이를가지는 반도체 장치**

**(57) 요약**

파워 게이팅을 이용한 저전력 반도체 장치는 가상 공급 전압과 제1 공급 전압을 공급받아 동작하는 표준 셀 및 제2 공급 전압으로부터 상기 가상 전압을 생성하여 제어 신호에 따라 상기 표준 셀에 공급하는 파워 게이팅 셀을 포함한다. 이때, 상기 가상 공급 전압은 제1 메탈 레이어를, 상기 제1 공급 전압은 제1 메탈 레이어를, 상기 제2 공급 전압은 제3 메탈 레이어를 이용하여 공급되며, 상기 제3 메탈 레이어는 상기 파워 게이팅 셀의 상부에 배치된다. 이때, 상기 파워 게이팅 셀은 전류 스위칭용 트랜지스터를 각각 포함하는 적어도 하나의 슬라이스 블록과, 상기 슬라이스 블록의 양측에 배치되어 상기 슬라이스 블록을 외부와 절연시키는 아이솔레이터 블록들을 포함할 수 있다.

대표도 - 도3



- (56) 선행기술조사문헌  
JP2003158189 A  
JP2004186666 A  
JP2005251862 A  
US06872991 B1  
US06960793 B2  
KR1019990065451 A  
KR1019990037032 A
-

## 특허청구의 범위

### 청구항 1

가상 전압 레일을 통해 가상 공급 전압을 공급받고 제1 전압 레일을 통해 제1 공급 전압을 공급받아 동작하는 동작 회로를 가지는 표준 셀; 및

제2 공급 전압이 공급되는 제2 전압 레일과 상기 가상 전압 레일 사이를 제어 신호에 따라 전기적으로 연결하거나 차단하도록 구성된 파워 게이팅 셀을 포함하며,

상기 가상 전압 레일은 제1 메탈 레이어를 이용하고, 상기 제1 전압 레일은 제1 메탈 레이어를 이용하며, 상기 제2 전압 레일은 제3 메탈 레이어를 이용하고, 상기 제2 전압 레일은 상기 파워 게이팅 셀의 상부에 배치되는 것을 특징으로 하는 반도체 장치.

### 청구항 2

제1항에 있어서, 상기 동작 회로는 제1 문턱 전압을 가진 모스(MOS) 트랜지스터들을 포함하고, 상기 파워 게이팅 셀은 상기 제1 문턱 전압보다 높은 제2 문턱 전압을 가진 모스 트랜지스터들을 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 3

제1항에 있어서, 상기 제1 전압 레일은 상기 제1 공급 전압을 공급하고, 상기 제2 전압 레일은 상기 제1 공급 전압보다 높은 상기 제2 공급 전압을 공급하며, 상기 파워 게이팅 셀은 헤더(header) 타입인 것을 특징으로 하는 반도체 장치.

### 청구항 4

제1항에 있어서, 상기 제1 전압 레일은 상기 제1 공급 전압을 공급하고, 상기 제2 전압 레일은 상기 제1 공급 전압보다 낮은 상기 제2 공급 전압을 공급하며, 상기 파워 게이팅 셀은 푸터/footer) 타입인 것을 특징으로 하는 반도체 장치.

### 청구항 5

제1항에 있어서, 상기 제1 공급 전압과 제2 공급 전압을 공급받아 동작하는 기능 셀을 더 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 6

가상 고전압 레일을 통해 가상 고전압을 공급받고 가상 기저전압 레일을 통해 가상 기저전압을 공급받아 동작하는 동작 회로를 가지는 표준 셀;

고전압이 공급되는 고전압 레일과 상기 가상 고전압 레일 사이를 제어 신호에 따라 전기적으로 연결하거나 차단하도록 구성된 제1 파워 게이팅 셀; 및

기저전압이 공급되는 기저전압 레일과 상기 가상 기저전압 레일 사이를 상기 제어 신호의 반전된 신호에 따라 전기적으로 연결하거나 차단하도록 구성된 제2 파워 게이팅 셀을 포함하며,

상기 가상 고전압 레일은 제1 메탈 레이어를 이용하고, 상기 가상 기저전압 레일은 제1 메탈 레이어를 이용하며, 상기 고전압 레일은 제3 메탈 레이어를 이용하고, 상기 기저전압 레일은 제4 메탈 레이어를 이용하며, 상기 고전압 레일은 제1 파워 게이팅 셀의 상부에 배치되고 및 상기 기저전압 레일은 상기 제2 파워 게이팅 셀의 상부에 배치되는 것을 특징으로 하는 반도체 장치.

### 청구항 7

제6항에 있어서, 상기 동작 회로는 제1 문턱 전압을 가진 모스 트랜지스터들을 포함하고, 상기 제1 및 제2 파워 게이팅 셀은 상기 제1 문턱 전압보다 높은 제2 및 제3 문턱 전압을 가진 모스 트랜지스터들을 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 8**

제6항에 있어서, 상기 고전압 및 기저전압을 공급받아 동작하는 기능 셀을 더 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 9**

제1 전극에서 제1 공급 전압 레일과 컨택하며, 제2 전극에서 가상 공급 전압 레일과 컨택하며 제2 공급 전압 레일과는 컨택하지 않는 트랜지스터를 각각 포함하는 적어도 하나의 슬라이스 블록;

상기 슬라이스 블록의 일측에 배치되어 상기 슬라이스 블록을 외부와 절연시키는 제1 아이솔레이터 블록; 및  
상기 슬라이스 블록의 다른 일측에 상기 슬라이스 블록을 외부와 절연시키는 제2 아이솔레이터 블록을 포함하는 파워 게이팅 셀.

**청구항 10**

제9항에 있어서, 상기 제1 공급 전압 레일은 제1 공급 전압을 공급하고, 상기 제2 공급 전압 레일은 상기 제1 공급 전압보다 낮은 제2 공급 전압을 공급하며, 상기 슬라이스 블록은 피모스(PMOS) 트랜지스터를 포함하는 것을 특징으로 하는 파워 게이팅 셀.

**청구항 11**

제9항에 있어서, 상기 제1 공급 전압 레일은 제1 공급 전압을 공급하고, 상기 제2 공급 전압 레일은 상기 제1 공급 전압보다 높은 제2 공급 전압을 공급하며, 상기 슬라이스 블록은 엔모스(NMOS) 트랜지스터를 포함하는 것을 특징으로 하는 파워 게이팅 셀.

**청구항 12**

가상 전압 레일을 통해 가상 공급 전압을 공급받고 제1 전압 레일을 통해 제1 공급 전압을 공급받아 동작하는 동작 회로를 가지는 표준 셀; 및

제1 전극에서 제2 전압 레일과 컨택하며 제2 전극에서 상기 가상 전압 레일과 컨택하고 제어 신호에 따라 상기 제2 전압 레일과 상기 가상 전압 레일을 전기적으로 연결하거나 차단하는 트랜지스터를 각각 포함하는 적어도 하나의 슬라이스 블록, 상기 슬라이스 블록의 일측에 배치되어 상기 슬라이스 블록을 외부와 절연시키는 제1 아이솔레이터 블록 및 상기 슬라이스 블록의 다른 일측에 상기 슬라이스 블록을 외부와 절연시키는 제2 아이솔레이터 블록을 가지는 파워 게이팅 셀을 포함하며,

상기 가상 전압 레일은 제1 메탈 레이어를 이용하고, 상기 제1 전압 레일은 제1 메탈 레이어를 이용하며, 상기 제2 전압 레일은 제3 메탈 레이어를 이용하고, 상기 제2 전압 레일은 상기 파워 게이팅 셀의 상부에 배치되는 것을 특징으로 하는 반도체 장치.

**청구항 13**

제12항에 있어서, 상기 동작 회로는 제1 문턱 전압을 가진 모스 트랜지스터들을 포함하고, 상기 파워 게이팅 셀은 상기 제1 문턱 전압보다 높은 제2 문턱 전압을 가진 모스 트랜지스터들을 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 14**

제12항에 있어서, 상기 제1 전압 레일은 상기 제1 공급 전압을 공급하고, 상기 제2 전압 레일은 상기 제1 공급 전압보다 높은 제2 공급 전압을 공급하며, 상기 파워 게이팅 셀은 헤더 타입인 것을 특징으로 하는 반도체 장치.

**청구항 15**

제12항에 있어서, 상기 제1 전압 레일은 상기 제1 공급 전압을 공급하고, 상기 제2 전압 레일은 상기 제1 공급 전압보다 낮은 제2 공급 전압을 공급하며, 상기 파워 게이팅 셀은 푸터 타입인 것을 특징으로 하는 반도체 장치.

**청구항 16**

가상 고전압 레일을 통해 가상 고전압을 공급받고 가상 기저전압 레일을 통해 가상 기저전압을 공급받아 동작하는 동작 회로를 가지는 표준 셀;

제1 전극에서 고전압 레일과 접촉하며 제2 전극에서 상기 가상 고전압 레일과 접촉하고 제어 신호에 따라 상기 고전압 레일과 상기 가상 고전압 레일을 전기적으로 연결하거나 차단하는 피모스 트랜지스터를 각각 포함하는 적어도 하나의 제1 슬라이스 블록, 상기 제1 슬라이스 블록의 일측에 배치되어 상기 제1 슬라이스 블록을 외부와 절연시키는 제1 아이솔레이터 블록 및 상기 제1 슬라이스 블록의 다른 일측에 상기 제1 슬라이스 블록을 외부와 절연시키는 제2 아이솔레이터 블록을 가지는 제1 파워 게이팅 셀; 및

제1 전극에서 기저전압 레일과 접촉하며 제2 전극에서 상기 가상 기저전압 레일과 접촉하고 상기 제어 신호의 반전 신호에 따라 상기 기저전압 레일과 상기 가상 기저전압 레일을 전기적으로 연결하거나 차단하는 엔모스 트랜지스터를 각각 포함하는 적어도 하나의 제2 슬라이스 블록, 상기 제2 슬라이스 블록의 일측에 배치되어 상기 제2 슬라이스 블록을 외부와 절연시키는 제3 아이솔레이터 블록 및 상기 제2 슬라이스 블록의 다른 일측에 상기 제2 슬라이스 블록을 외부와 절연시키는 제4 아이솔레이터 블록을 가지는 제2 파워 게이팅 셀을 포함하며,

상기 가상 고전압 레일은 제1 메탈 레이어를 이용하고, 상기 가상 기저전압 레일은 제1 메탈 레이어를 이용하며, 상기 고전압 레일은 제3 메탈 레이어를 이용하고, 상기 기저전압 레일은 제4 메탈 레이어를 이용하며, 상기 고전압 레일은 제1 파워 게이팅 셀의 상부에 배치되고 및 상기 기저전압 레일은 상기 제2 파워 게이팅 셀의 상부에 배치되는 것을 특징으로 하는 반도체 장치.

**청구항 17**

제16항에 있어서, 상기 동작 회로는 제1 문턱 전압을 가진 모스 트랜지스터들을 포함하고, 상기 제1 및 제2 파워 게이팅 셀은 상기 제1 문턱 전압보다 높은 제2 및 제3 문턱 전압을 가진 모스 트랜지스터들을 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 18**

표준 셀 및 파워 게이팅 셀을 가지는 반도체 장치에 적합한 파워 네트워크에 있어서,

제1 메탈 레이어를 이용하며 표준 셀에 가상 공급 전압을 공급하고, 상기 표준 셀 및 파워 게이팅 셀의 상부에 배치되는 가상 전압 레일;

제1 메탈 레이어를 이용하여 상기 표준 셀에 제1 공급 전압을 공급하고, 상기 표준 셀의 상부에 배치되는 제1 전압 레일; 및

제3 메탈 레이어를 이용하여 상기 파워 게이팅 셀에 제2 공급 전압을 공급하고, 상기 파워 게이팅 셀의 상부에 배치되는 제2 전압 레일을 포함하며,

상기 표준 셀은 제1 문턱 전압을 가진 모스 트랜지스터들로 구현되고, 상기 파워 게이팅 셀은 상기 제1 문턱 전압보다 높은 제2 문턱 전압을 가진 모스 트랜지스터들을 이용하여 제어 신호에 따라 상기 가상 전압 레일과 상기 제2 전압 레일을 전기적으로 연결하거나 차단하도록 구성된 것을 특징으로 하는 파워 네트워크.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<11> 본 발명은 파워 네트워크에 관한 것으로, 더욱 상세하게는 표준 셀을 그대로 사용할 수 있는 전류 스위치와 이러한 전류 스위치를 이용한 파워 네트워크에 관한 것이다.

<12> 최근의 전자 제품들은 시장의 요구에 따라 더 작은 크기와 더 긴 동작 시간, 더 큰 용량과 더 많은 기능을 가지도록 개발되고 있다. 특히 휴대용 전자 제품들은 저전력 및 소형화가 필수적이다. 따라서, 그러한 제품에 들어

가는 반도체 장치들도 마찬가지로 저전력 및 소형화되고 있다.

- <13> 제조 공정이 세밀화되고 전원 전압이 낮아지면, 반도체 장치들을 소형화할 수 있지만, 대기 상태에서의 누설 전류가 늘어나고 정상 동작 상태에서의 동작 속도는 빠르게 할 수 없는 단점이 있다. 이러한 문제점을 개선하기 위해 다중 문턱 전압 CMOS(multithreshold-voltage CMOS, 이하 MTCMOS)이 제시되었다. 이러한 MTCMOS를 이용하여 전력 소비를 조절하는 기법을 파워 게이팅(power gating)이라 한다.(Shin'ichiro Mutoh et al., "1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold-Voltage CMOS", IEEE journal of solid-state circuits, Vol. 30, No. 8, pp. 847~854, August 1995 및 S. Mutoh et al., "1-V Power Supply High-Speed Digital Circuit Technology with 0.5- $\mu$ m Multi threshold CMOS", Proc. IEEE Int. ASC Conf., September 1993 pp. 186~189). 이러한 MTCMOS를 이용한 파워 게이팅이 적용된 파워 네트워크를 이용하면 대기 상태에서는 누설 전류를 크게 억제할 수 있고, 정상 동작 시에는 적절한 수준의 전류를 흘려주어 빠르게 동작할 수 있다.
- <14> 도 1은 종래의 MTCMOS 회로의 동작을 설명하기 위한 회로도이다. 도 1을 참조하면, MTCMOS 회로는 논리 회로(11), 헤더 및 푸터 타입의 파워 게이팅 회로(12, 13), 가상 고전압(virtual supply voltage) 레일(14) 및 가상 기저전압(virtual ground voltage) 레일(15)을 포함한다.
- <15> 상기 논리 회로(11)는 가상 고전압 레일(14) 및 가상 기저전압 레일(15)에 각각 연결되어, 가상 고전압과 가상 기저전압을 공급받아 동작한다. 상기 논리 회로(11)는 예를 들어 1V 정도의 낮은 전원 전압에서도 빠른 동작을 얻기 위해, 낮은 문턱 전압을 가지는 MOS 트랜지스터들을 이용하여 구현된다. 도 1에서 낮은 문턱 전압을 갖는 MOS 트랜지스터 또는 논리 게이트는 진한 막대로 표시된다. 일반적으로 MOS 트랜지스터의 문턱 전압이 낮아지면 드레인 전류가 증가하기 때문에 낮은 문턱 전압을 가진 트랜지스터를 이용한 논리 회로는 더 빠른 속도로 스위칭할 수 있다. 그러나, 한편으로는 MOS 트랜지스터의 문턱 전압이 낮아지면 1V 정도의 낮은 전원 전압에서 누설 전류가 급증하므로 대기 모드에서 누설 전류를 차단할 수단이 필요하다.
- <16> 상기 헤더 타입의 파워 게이팅 회로(12)는 고전압 단자(VDD)와 가상 고전압 레일(14) 사이를 제어 신호(SLEEP)에 따라 연결하거나 차단하는 전류 스위치를 포함한다. 상기 푸터 타입의 파워 게이팅 회로(13)는 기저전압 단자(GND)와 가상 기저전압 레일(15) 사이를 상기 제어 신호의 반전 신호(/SLEEP)에 따라 연결하거나 차단하는 전류 스위치를 포함한다. 이때, 상기 전류 스위치들은 높은 문턱 전압을 가진 트랜지스터를 이용하여 구현된다. 높은 문턱 전압을 가진 트랜지스터는 자체의 누설 전류가 매우 작기 때문에, 상기 높은 문턱 전압을 가진 트랜지스터를 이용한 전류 스위치가 차단되었을 때에는 상기 논리 회로에 흐르는 누설 전류는 거의 완전히 차단될 수 있다. 상기 파워 게이팅 방법을 적용하여 반도체 장치를 설계한다면, 대기 모드에서 상기 반도체 장치의 전력 소모를 크게 줄일 수 있다.
- <17> 상기 전류 스위치들은 정상 동작 모드에서는 상기 논리 회로(11)의 동작에 영향을 주지 않아야 한다. 상기 논리 회로(11)에 흐르는 전류는 상기 전류 스위치를 따라 흐르게 되므로 상기 전류 스위치의 전류 용량은 그만큼 커야 할 필요가 있다. 따라서 상기 전류 스위치가 차지하는 면적은 상당히 크다.
- <18> 반도체 장치는 여러 가지 기능을 분담하는 여러 기능 셀들을 가진다. 그런데, 예를 들어 출력 유지 회로와 같은 특수한 기능 셀은 항상 동작하기 때문에 파워 게이팅 기법을 사용할 필요가 없을 수 있다. 또 MTCMOS는 실제로 칩에 구현할 때 상당한 면적을 차지하기 때문에 모든 기능 셀에 파워 게이팅 기법을 적용하는 것도 바람직하지 않다. 따라서 기존에는 소형화와 저전력화를 동시에 만족하기 위해서 대기 모드에서 전력 소모를 최소화할 필요가 큰 기능 셀에만 파워 게이팅 기법을 적용하였다. 즉, 특수 기능 셀은 파워 게이팅 기법을 이용하지 않는 일반적인 구조를 가지며, 대기 모드를 가지는 기능 셀은 파워 게이팅 기법이 적용된 구조를 가진다.
- <19> 도 2는 종래의 파워 게이팅 기법을 구현한 파워 게이팅용 표준 셀을 설명하기 위한 개념도이다. 도 2를 참조하면, 상기 파워 게이팅용 표준 셀은 일반 표준 셀에 헤더 타입 파워 게이팅 회로 영역이 추가된 경우로서, 가상 고전압 레일(VVDD, 24)과 기저전압 레일(GND, 25) 사이에 동작 회로 영역(21)이 있고, 고전압 레일(VDD, 23)과 가상 고전압 레일(VVDD, 24) 사이에 파워 게이팅 회로 영역(22)이 있다.
- <20> 반도체 장치를 설계할 때 일반 표준 셀을 대신하여 상기 파워 게이팅용 표준 셀을 이용할 수 있다. 이러한 종래의 설계 방법은 모든 공정에 대하여 일반적인 표준 셀과 파워 게이팅용 표준 셀을 각각 가져야 하므로 상당한 작업량을 요구하며, 공정이 복잡하였다.
- <21> 일반 표준 셀을 그대로 이용하면서 파워 게이팅 기법을 적용하는 설계 방법도 고안되었다. 이러한 종래의 설계 방법으로는 파워 게이팅 회로를 포함하는 독립된 하나의 파워 게이팅 셀을 설계하여 일반 표준 셀과 함께 사용

하는 방법이 있는데, 다음과 같은 문제를 가진다. 일반 표준 셀 내의 트랜지스터 소자들의 소스와 바디는 가상 전원 레일에 연결되어 있는데, 파워 게이팅 회로의 전류 스위치의 바디는 상기 일반 표준 셀 내의 트랜지스터들의 소스 및 바디와 분리되어야 한다. 그렇지 않으면, 전류 스위치의 바디에서 누설되는 전류 때문에 파워 게이팅의 효과가 반감하기 때문이다. 따라서 전류 스위치는 일반 표준 셀과 충분히 분리되어야 한다. 또, 상기 전류 스위치가 연결되는 일반 표준 셀이 많은 전류를 흘려주어야 할 때에는 전류 스위치의 크기와 분리 영역의 크기도 커져야 한다. 전류 스위치의 크기가 달라질 때마다 파워 게이팅 셀의 설계를 새로 해야 하므로 번거롭다.

<22> 따라서, 일반 표준 셀을 그대로 이용하면서, 파워 게이팅 셀의 설계를 간단하게 할 수 있는 방법이 여전히 요구된다.

**발명이 이루고자 하는 기술적 과제**

<23> 본 발명의 목적은 간편하게 설계할 수 있는 파워 게이팅 셀을 제공하는 것이다.

<24> 본 발명의 다른 목적은 일반 표준 셀과, 간편하게 설계할 수 있는 파워 게이팅 셀을 이용한 반도체 장치를 제공하는 것이다.

<25> 또한, 본 발명의 또다른 목적은 상기 일반 표준 셀과 상기 파워 게이팅 셀에 전원을 공급할 파워 네트워크를 제공하는 것이다.

**발명의 구성 및 작용**

<26> 본 발명의 일 실시예에 따른 반도체 장치는 표준 셀 및 파워 게이팅 셀을 포함한다. 이때, 상기 표준 셀은 가상 전압 레일을 통해 가상 공급 전압을 공급받고 제1 전압 레일을 통해 제1 공급 전압을 공급받아 동작하는 동작 회로를 가진다. 상기 파워 게이팅 셀은 제2 공급 전압이 공급되는 제2 전압 레일과 상기 가상 전압 레일 사이를 제어 신호에 따라 전기적으로 연결하거나 차단하도록 구성된다. 그리고, 상기 가상 전압 레일은 제1 메탈 레이어를 이용하고, 상기 제1 전압 레일은 제1 메탈 레이어를 이용하며, 상기 제2 전압 레일은 제3 메탈 레이어를 이용하고, 상기 제2 전압 레일은 상기 파워 게이팅 셀의 상부에 배치된다.

<27> 실시예에 따라, 상기 동작 회로는 상대적으로 낮은 문턱 전압을 가진 모스(MOS) 트랜지스터들을 포함하고, 상기 파워 게이팅 셀은 상대적으로 높은 문턱 전압을 가진 모스 트랜지스터들을 포함할 수 있다. 실시예에 따라, 상기 제1 전압 레일은 상대적으로 낮은 전원 전압을 공급하고, 상기 제2 전압 레일은 상대적으로 높은 전원 전압을 공급하며, 상기 파워 게이팅 셀은 헤더(header) 타입일 수 있다. 실시예에 따라, 상기 제1 전압 레일은 상대적으로 높은 전원 전압을 공급하고, 상기 제2 전압 레일은 상대적으로 낮은 전원 전압을 공급하며, 상기 파워 게이팅 셀은 푸터/footer) 타입일 수 있다.

<28> 본 발명의 다른 실시예에 따른 반도체 장치는 표준 셀, 제1 파워 게이팅 셀 및 제2 파워 게이팅 셀을 포함한다. 상기 표준 셀은 가상 고전압 레일을 통해 가상 고전압을 공급받고 가상 기저전압 레일을 통해 가상 기저전압을 공급받아 동작하는 동작 회로를 가진다. 상기 제1 파워 게이팅 셀은 고전압이 공급되는 고전압 레일과 상기 가상 고전압 레일 사이를 제어 신호에 따라 전기적으로 연결하거나 차단하도록 구성된다. 상기 제2 파워 게이팅 셀은 기저전압이 공급되는 기저전압 레일과 상기 가상 기저전압 레일 사이를 상기 제어 신호의 반전된 신호에 따라 전기적으로 연결하거나 차단하도록 구성된다. 이때, 상기 가상 고전압 레일은 제1 메탈 레이어를 이용하고, 상기 가상 기저전압 레일은 제1 메탈 레이어를 이용하며, 상기 고전압 레일은 제3 메탈 레이어를 이용하고, 상기 기저전압 레일은 제4 메탈 레이어를 이용하며, 상기 고전압 레일은 제1 파워 게이팅 셀의 상부에 배치되고 및 상기 기저전압 레일은 상기 제2 파워 게이팅 셀의 상부에 배치된다. 상기 동작 회로는 상대적으로 낮은 문턱 전압을 가진 모스 트랜지스터들을 포함하고, 상기 제1 및 제2 파워 게이팅 셀은 상대적으로 높은 문턱 전압을 가진 모스 트랜지스터들을 포함할 수 있다.

<29> 본 발명의 다른 실시예에 따른 파워 게이팅 셀은 적어도 하나의 슬라이스 블록과 제1 및 제2 아이솔레이터 블록을 포함한다. 상기 슬라이스 블록은 제1 전극에서 제1 공급 전압 레일과 컨택하며, 제2 전극에서 가상 공급 전압 레일과 컨택하며 제2 공급 전압 레일과는 컨택하지 않는 트랜지스터를 각각 포함한다. 상기 제1 및 제2 아이솔레이터 블록은 각각 상기 슬라이스 블록의 양측에 배치되어 상기 슬라이스 블록을 외부와 절연시킨다. 상기 파워 게이팅 셀은 헤더 타입일 수도 있고, 푸터 타입일 수도 있다.

<30> 본 발명의 다른 실시예에 따른 반도체 장치는 표준 셀과 파워 게이팅 셀을 포함한다. 상기 표준 셀은 가상 전압 레일을 통해 가상 공급 전압을 공급받고 제1 전압 레일을 통해 제1 공급 전압을 공급받아 동작하는 동작 회로를

가진다. 상기 파워 게이팅 셀은 제1 전극에서 제2 전압 레일과 컨택하며 제2 전극에서 상기 가상 전압 레일과 컨택하고 제어 신호에 따라 상기 제2 전압 레일과 상기 가상 전압 레일을 전기적으로 연결하거나 차단하는 트랜지스터를 각각 포함하는 적어도 하나의 슬라이스 블록, 상기 슬라이스 블록의 일측에 배치되어 상기 슬라이스 블록을 외부와 절연시키는 제1 아이솔레이터 블록 및 상기 슬라이스 블록의 다른 일측에 상기 슬라이스 블록을 외부와 절연시키는 제2 아이솔레이터 블록을 가진다. 이때, 상기 가상 전압 레일은 제1 메탈 레이어를 이용하고, 상기 제1 전압 레일은 제1 메탈 레이어를 이용하며, 상기 제2 전압 레일은 제3 메탈 레이어를 이용하고, 상기 제2 전압 레일은 상기 파워 게이팅 셀의 상부에 배치된다.

<31> 본 발명의 다른 실시예에 따른 반도체 장치는 표준 셀과 제1 및 제2 파워 게이팅 셀을 포함한다. 상기 표준 셀은 가상 고전압 레일을 통해 가상 고전압을 공급받고 가상 기저전압 레일을 통해 가상 기저전압을 공급받아 동작하는 동작 회로를 가진다. 상기 제1 파워 게이팅 셀은 제1 전극에서 고전압 레일과 컨택하며 제2 전극에서 상기 가상 고전압 레일과 컨택하고 제어 신호에 따라 상기 고전압 레일과 상기 가상 고전압 레일을 전기적으로 연결하거나 차단하는 피모스 트랜지스터를 각각 포함하는 적어도 하나의 제1 슬라이스 블록, 상기 제1 슬라이스 블록의 일측에 배치되어 상기 제1 슬라이스 블록을 외부와 절연시키는 제1 아이솔레이터 블록 및 상기 제1 슬라이스 블록의 다른 일측에 상기 제1 슬라이스 블록을 외부와 절연시키는 제2 아이솔레이터 블록을 가진다. 상기 제2 파워 게이팅 셀은 제1 전극에서 기저전압 레일과 컨택하며 제2 전극에서 상기 가상 기저전압 레일과 컨택하고 상기 제어 신호의 반전 신호에 따라 상기 기저전압 레일과 상기 가상 기저전압 레일을 전기적으로 연결하거나 차단하는 엔모스 트랜지스터를 각각 포함하는 적어도 하나의 제2 슬라이스 블록, 상기 제2 슬라이스 블록의 일측에 배치되어 상기 제2 슬라이스 블록을 외부와 절연시키는 제3 아이솔레이터 블록 및 상기 제2 슬라이스 블록의 다른 일측에 상기 제2 슬라이스 블록을 외부와 절연시키는 제4 아이솔레이터 블록을 가진다. 이때, 상기 가상 고전압 레일은 제1 메탈 레이어를 이용하고, 상기 가상 기저전압 레일은 제1 메탈 레이어를 이용하며, 상기 고전압 레일은 제3 메탈 레이어를 이용하고, 상기 기저전압 레일은 제4 메탈 레이어를 이용하며, 상기 고전압 레일은 제1 파워 게이팅 셀의 상부에 배치되고 및 상기 기저전압 레일은 상기 제2 파워 게이팅 셀의 상부에 배치된다.

<32> 본 발명의 다른 실시예에 따른 파워 네트워크는 표준 셀 및 파워 게이팅 셀을 가지는 반도체 장치에 적합한다. 상기 파워 네트워크는 가상 전압 레일, 제1 및 제2 전압 레일을 포함한다. 상기 가상 전압 레일은 제1 메탈 레이어를 이용하며 표준 셀에 가상 공급 전압을 공급하고, 상기 표준 셀 및 파워 게이팅 셀의 상부에 배치된다. 상기 제1 전압 레일은 제1 메탈 레이어를 이용하여 상기 표준 셀에 제1 공급 전압을 공급하고, 상기 표준 셀의 상부에 배치된다. 상기 제2 전압 레일은 제3 메탈 레이어를 이용하여 상기 파워 게이팅 셀에 제2 공급 전압을 공급하고, 상기 파워 게이팅 셀의 상부에 배치된다. 이때, 상기 표준 셀은 상대적으로 낮은 문턱 전압을 가진 모스 트랜지스터들로 구현되고, 상기 파워 게이팅 셀은 상대적으로 높은 문턱 전압을 가진 모스 트랜지스터들을 이용하여 제어 신호에 따라 상기 가상 전압 레일과 상기 제2 전압 레일을 전기적으로 연결하거나 차단하도록 구성된다.

<33> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

<34> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

<35> 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

<36> 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도



마찬가지로 해석되어야 한다.

- <37> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <38> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <39> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- <40> 도 3은 본 발명의 일 실시예에 따른 파워 네트워크 및 이를 적용한 반도체 장치를 예시한 평면 개념도이다. 도 3을 참조하면, 상기 반도체 장치는 가상 고전압 레일(311) 및 기저전압 레일(312)을 통해 전력을 공급하는 파워 네트워크(30)를 포함한다. 상기 파워 네트워크(30)가 적용된 반도체 장치(30)는 다수의 행을 이루며 배치된 일반 표준 셀(31), 파워 게이팅 셀(32) 및 특수 기능 셀(33) 등 여러 가지의 셀들을 포함한다. 상기 일반 표준 셀(31)은 논리 회로, 메모리 등을 나타내며 가상 고전압 레일(311)과 기저전압 레일(312)에 컨택되며 가상 고전압(VVDD)과 기저전압(GND)을 공급받아 동작한다. 상기 파워 게이팅 셀(32)은 제어 신호(SLEEP)에 따라 고전압 레일(321)과 가상 고전압 레일(311)에 컨택되며, 상기 고전압 레일(321)과 가상 고전압 레일(311) 사이의 연결을 스위칭한다. 상기 특수 기능 셀(33)은 출력 유지 회로 또는 상태 유지 레지스터 등을 나타내며, 고전압 레일(321)과 기저전압 레일(312)에 컨택되고, 고전압(VDD)과 기저전압(GND)을 공급받아 동작한다. 용도나 기능에 따라 상기 특수 기능 셀(33)은 가상 고전압 레일(311)과 기저 전압 레일(312)에 컨택될 수도 있다.
- <41> 각 행의 셀들 위로 가상 고전압 레일(311) 및 기저전압 레일(312)이 상기 각 행을 따라 형성된다. 상기 고전압 레일(321)은 상기 파워 게이팅 셀(32) 또는 특수 기능 셀(33)의 중앙부를 가로지르며, 상기 가상 고전압 레일(311), 기저전압 레일(312)과 나란히 형성될 수 있다. 상기 가상 고전압 레일(311)은 제1 메탈 레이어(M1)로 형성될 수 있고, 상기 기저전압 레일(312)은 제1 메탈 레이어(M1)로 형성될 수 있다. 이 경우, 상기 고전압 레일(321)은 해당 행 내의 일반 표준 셀(31)에 컨택되지 않는 메탈 레이어, 예를 들어 제3 메탈 레이어(M3)를 이용하여 형성될 수 있다. 따라서 상기 고전압 레일(321)은 상기 일반 표준 셀(31)과 전기적으로 절연될 수 있다. 이때, 상기 고전압 레일(321)은 다른 셀이 사용하는 신호 라인들의 라우팅을 방해하지 않는 한 각 행마다 형성될 수도 있고, 2~3 행마다 하나씩 형성될 수도 있다.
- <42> 상기 파워 게이팅 셀(32)은 상기 고전압 레일(321)과 가상 고전압 레일(311) 사이를 연결하는 전류 스위치(미도시)를 포함한다. 상기 전류 스위치는 일정한 표준 레이아웃을 가진다. 만약 상기 전류 스위치가 일반 표준 셀(31)에 공급해야 하는 전류가 늘어나 그 크기가 늘어나야 할 경우에는, 상기 일정한 표준 레이아웃을 여러 개 복제함으로써 간단하게 원하는 크기를 가진 전류 스위치를 설계할 수 있다.
- <43> 상기 전류 스위치는 높은 문턱 전압을 가진 피모스 트랜지스터일 수 있다. 이때, 상기 피모스 트랜지스터는 상기 파워 게이팅 셀(32)의 중앙부를 지나고 고전압 레일(321)과 컨택되어 고전압(VDD)을 인가받는 소스, 상기 제어 신호(SLEEP)를 인가받는 게이트 및 상기 가상 고전압 레일(321)과 컨택되어 가상 고전압(VVDD)을 제공하는 드레인을 가질 수 있다.
- <44> 실시예에 따라 상기 파워 네트워크는 푸터/footer) 타입의 파워 게이팅 셀을 이용할 수 있다. 이 경우에는 일반 표준 셀은 고전압 레일과 가상 기저전압 레일에 컨택되어 고전압과 가상 기저전압을 공급받아 동작하고, 파워 게이팅 셀은 가상 기저전압 레일과 기저전압 레일에 컨택되며 제어 신호에 따라 두 레일 사이의 연결을 스위칭한다. 상기 특수 기능 셀은 고전압 레일과 기저전압 레일에 컨택되어 고전압과 기저전압을 공급받아 동작한다. 용도나 기능에 따라 상기 특수 기능 셀(33)은 가상 고전압 레일(311)과 기저 전압 레일(312)에 컨택될 수도 있다. 상기 기저전압 레일은 상기 일반 표준 셀과 전기적으로 절연되도록 상기 일반 표준 셀에 컨택되지 않는 메탈 레이어를 이용하여 형성될 수 있다. 이때, 상기 기저전압 레일은 다른 셀이 사용하는 신호 라인들의 라우팅을 방해하지 않는 한 각 행마다 형성될 수도 있고, 2~3 행마다 하나씩 형성될 수도 있다.

- <45> 실시예에 따라 파워 네트워크가 헤더 타입의 파워 게이팅 셀과 푸터 타입의 파워 게이팅 셀을 모두 이용할 수도 있다. 이 경우에 일반 표준 셀은 가상 고전압 레일과 가상 기저전압 레일에 컨택되어 가상 고전압과 가상 기저전압을 공급받아 동작한다. 고전압 레일과 기저전압 레일은 상기 일반 표준 셀과 전기적으로 절연되도록 상기 일반 표준 셀에 컨택되지 않는 메탈 레이어를 이용하여 형성될 수 있다. 이때, 상기 고전압 레일 및 기저전압 레일은 다른 셀이 사용하는 신호 라인들의 라우팅을 방해하지 않는 한 각 행마다 형성될 수도 있고, 2~3 행마다 하나씩 형성될 수도 있다.
- <46> 도 4는 본 발명의 일 실시예에 따른 한 개의 슬라이스를 가지는 헤더 타입의 파워 게이팅 셀의 레이아웃을 예시한 평면도이다. 도 4를 참조하면, 상기 파워 게이팅 셀(40)은 PMOS 트랜지스터(41)로 구성된 전류 스위치를 포함한다. 이때 상기 PMOS 트랜지스터의 게이트(411)는 스위치 제어 신호 레일(SLEEP)과 컨택되고, 소스(412)은 고전압 레일(42)에 컨택되며, 드레인(413)은 가상 고전압 레일(43)에 컨택되고 바디(414)<그림에 없습니다.>는 고전압 레일(42)과 컨택된다. 상기 가상 고전압 레일(43)은 레이아웃의 상부에 나타나 있고, 기저전압 레일(44)은 레이아웃의 하부에 나타나 있다. 상기 고전압 레일(42)은 레이아웃의 중앙에 가로로 나타나 있다. 상기 기저전압 레일(44)은 상기 피모스 트랜지스터(41)에 컨택되지 않으며 바이패스된다. 굵은 실선은 그 안에 그려진 트랜지스터가 높은 문턱전압을 가진 트랜지스터임을 뜻한다. 가는 실선으로 둘러싸인 영역(45)은 피모스 트랜지스터를 형성하기 위해 p 타입 바디에 형성된 n 타입 웰(well)을 나타낸다. 가는 점선으로 둘러싸인 영역(46)은 상기 피모스 트랜지스터의 액티브 영역이다. 상기 PMOS 트랜지스터(41)의 웰 영역은 이웃하는 셀까지는 소정의 간격만큼 격리되며, 가상 고전압 레일과도 소정의 간격만큼 격리된다.
- <47> 상기 파워 게이팅 셀(40)은 중앙의 슬라이스(Slice) 블록(47)과 양쪽의 아이솔레이터(isolator) 블록(48, 49)으로 나눌 수 있다. 그 중 슬라이스 블록(47)은 레이아웃 중간의 피모스 트랜지스터(41)가 배치된 영역을 가리킨다. 고전압 레일(42)과 드레인(413)의 컨택 바깥쪽은 아이솔레이터 블록(48, 49)에 해당한다.
- <48> 실시예에 따라 상기 고전압 레일 및 기저전압 레일의 상대적인 위치는 달라질 수도 있다.
- <49> 도 4는 헤더 타입의 파워 게이팅 셀을 예시하였지만, 본 발명은 푸터 타입의 파워 게이팅 셀에도 적용할 수 있다. 예를 들어, 푸터 타입의 파워 게이팅 셀은 가상 기저전압 레일과 기저전압 레일 사이에 배치된 엔모스 트랜지스터를 포함한다. 상기 엔모스 트랜지스터의 게이트는 제어 신호의 반전 신호가 인가되는 제어 신호 레일에 컨택되고, 소스는 상기 기저전압 레일에 컨택되며, 드레인은 상기 가상 기저전압 레일에 컨택될 수 있다.
- <50> 도 5는 본 발명의 일 실시예에 따라 복수의 슬라이스 블록을 가지는 헤더 타입의 파워 게이팅 셀의 레이아웃을 예시한 평면도이다. 상기 파워 게이팅 셀(50)은 도 4의 하나의 슬라이스 블록(47)을 가지는 파워 게이팅 셀(40)에 비해 큰 전류를 흘려 줄 수 있도록 슬라이스 블록의 수를 늘린 것이다. 도 5를 참조하면, 상기 파워 게이팅 셀(50)은 맨 왼쪽과 맨 오른쪽에 각각 아이솔레이터 블록(51, 52)을 두고, 상기 두 아이솔레이터 블록(51, 52) 사이에 연속하여 배치된 복수의 슬라이스 블록(53, 54, 55)을 포함한다. 이때 상기 슬라이스 블록(53, 54, 55)의 수는 원하는 전류 용량에 따라 결정될 수 있다. 따라서 다양한 전류 용량에 대응하여 적절한 크기를 가지는 파워 게이팅 셀을 간편하게 설계할 수 있다.
- <51> 본 발명은 푸터 타입의 파워 게이팅 셀에도 적용될 수 있다. 예를 들어, 푸터 타입의 파워 게이팅 셀은 가상 기저전압 레일과 기저전압 레일 사이에 배치된 복수의 슬라이스 블록과 그 양측에 배치된 아이솔레이터 블록들을 포함한다. 상기 슬라이스 블록은 엔모스 트랜지스터를 포함하며, 상기 엔모스 트랜지스터의 게이트는 제어 신호의 반전 신호가 인가되는 제어 신호 레일에 컨택되고, 소스는 상기 기저전압 레일에 컨택되며, 드레인은 상기 가상 기저전압 레일에 컨택될 수 있다.

**발명의 효과**

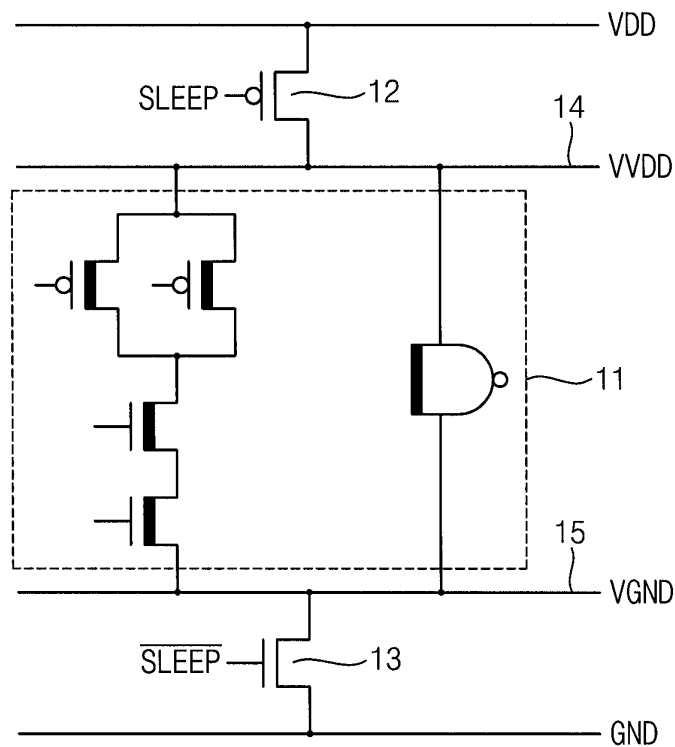
- <52> 본 발명의 일 실시예에 따르면 다양한 크기를 갖는 헤더 타입 또는 푸터 타입의 파워 게이팅 셀을 쉽게 설계할 수 있다. 또, 본 발명의 다른 실시예에 따르면, 상기 파워 게이팅 셀의 상부에 가상 전압 레일들이 사용하지 않는 메탈 레이어를 이용한 고전압 레일 또는 기저전압 레일을 배치함으로써, 일반 표준 셀을 그대로 이용하여 전력소모가 작은 반도체 장치 또는 파워 네트워크를 쉽게 설계 할 수 있다.
- <53> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

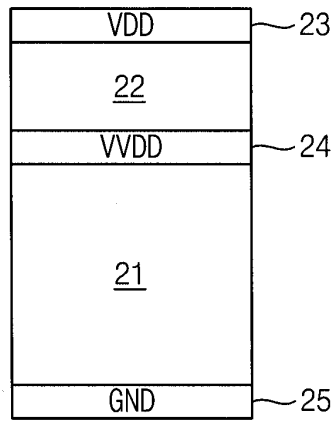
- <1> 도 1은 종래의 MTCMOS 회로의 동작을 설명하기 위한 회로도이다.
- <2> 도 2는 종래의 파워 게이팅 기법을 구현한 파워 게이팅용 표준 셀을 설명하기 위한 개념도이다.
- <3> 도 3은 본 발명의 일 실시예에 따른 파워 네트워크 및 이를 적용한 반도체 장치를 예시한 평면 개념도이다.
- <4> 도 4는 본 발명의 일 실시예에 따른 한 개의 슬라이스를 가지는 헤더 타입의 파워 게이팅 셀의 레이아웃을 예시한 평면도이다.
- <5> 도 5는 본 발명의 일 실시예에 따라 복수의 슬라이스 블록을 가지는 헤더 타입의 파워 게이팅 셀의 레이아웃을 예시한 평면도이다.
- <6> <도면의 주요 부분에 대한 부호의 설명>
- <7> 30 : 파워 네트워크                      31 : 일반 표준 셀
- <8> 32 : 파워 게이팅 셀                    311 : 가상 전압 레일
- <9> 312 : 기저전압 레일                    321 : 고전압 레일
- <10> 47 : 슬라이스 블록                    48, 49 : 아이솔레이터 블록

**도면**

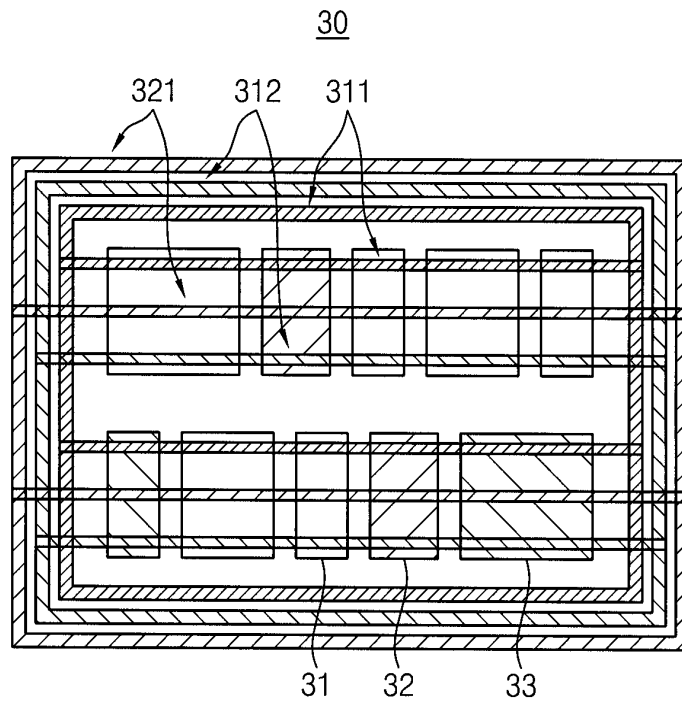
**도면1**



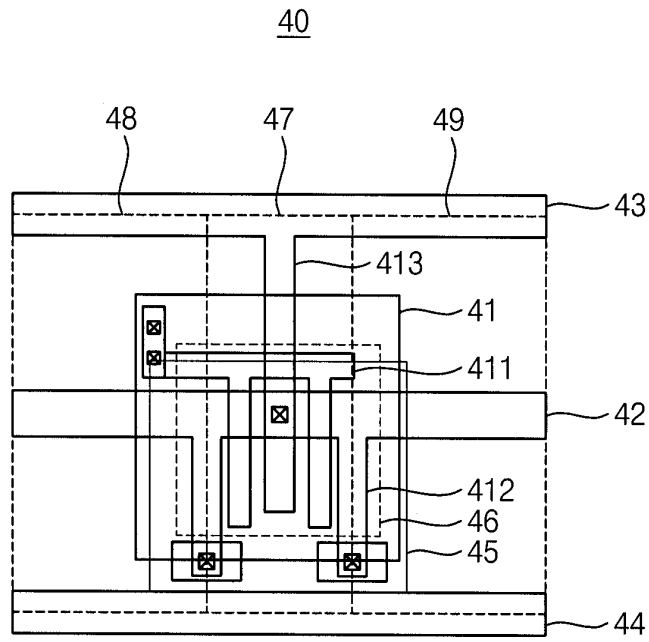
도면2



도면3



도면4



도면5

