



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월27일
(11) 등록번호 10-0817058
(24) 등록일자 2008년03월20일

(51) Int. Cl.
H01L 27/02 (2006.01) *H03K 19/00* (2006.01)
(21) 출원번호 10-2006-0085301
(22) 출원일자 2006년09월05일
심사청구일자 2006년09월05일
(65) 공개번호 10-2008-0021991
(43) 공개일자 2008년03월10일
(56) 선행기술조사문헌
W02004061633 A2*
KR1020000019974 A
KR1020060045199 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
최정연
경기 화성시 반월동 860 신영통현대아파트
303-202
원효식
경기 수원시 팔달구 고등동 10-9, 15동 5반
(뒷면에 계속)
(74) 대리인
리앤목록특허법인

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 13 항

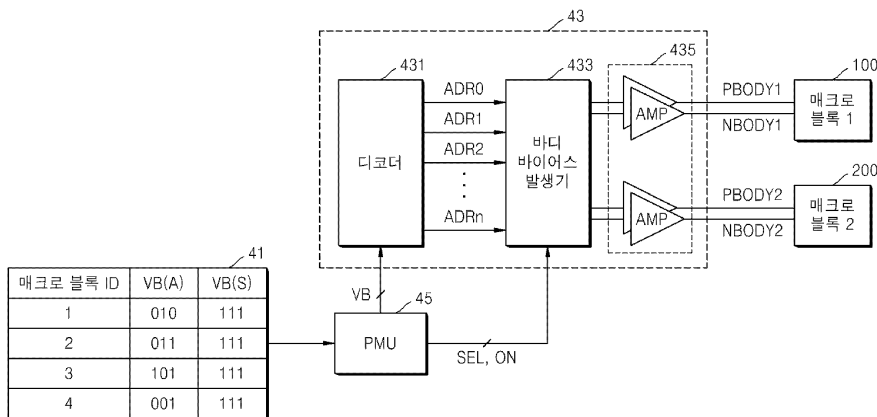
심사관 : 조근상

(54) 록업 테이블을 이용한 바디 바이어싱 제어회로 및 이의바디 바이어싱 제어방법

(57) 요약

집적회로로 구현될 경우 면적이 작고 특히 여러개의 매크로 블록들에 공유되고 여러개의 매크로 블록들의 바디 전압을 각각 다르게 독립적으로 제어할 수 있는 바디 바이어싱(body biasing) 제어회로 및 이의 바디 바이어싱 제어방법이 개시된다. 상기 바디 바이어싱 제어회로는, 각 매크로 블록의 동작상태에 적절한 바디 전압을 나타내는 인덱스들이 기록되는 록업 테이블, 및 상기 록업 테이블로부터 대응되는 인덱스를 수신하여, 대응되는 매크로 블록의 동작상태에 적절한 바디 전압들을 생성하여 상기 대응되는 매크로 블록에 제공하는 제어회로를 구비하는 것을 특징으로 한다.

대표도



(72) 발명자
신영수
대전 유성구 구성동 373-1
서문준
대전 유성구 구성동 373-1

최병희
대전 유성구 구성동 373-1

특허청구의 범위

청구항 1

복수개의 매크로 블록들의 바디 전압(body voltage)을 조절하는 바디 바이어싱(body biasing) 제어회로에 있어서,

각 매크로 블록의 액티브 상태에 적절한 바디 전압을 나타내는 인덱스들과 상기 각 매크로 블록의 스탠바이 상태에 적절한 바디 전압을 나타내는 인덱스들이 기록되는 룩업 테이블;

상기 룩업 테이블로부터 제어하고자 하는 매크로 블록의 인덱스를 읽어오고 매크로 블록 선택신호를 발생하는 파워워 관리 유닛(power management unit); 및

상기 파워워 관리 유닛이 상기 룩업 테이블로부터 읽어 온 인덱스를 수신하여, 상기 매크로 블록 선택신호에 응답하여 이에 대응되는 매크로 블록의 액티브 상태 또는 스탠바이 상태에 적절한 바디 전압들을 생성하여 상기 대응되는 매크로 블록에 제공하는 제어회로를 구비하는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 제어회로는,

상기 수신되는 인덱스를 디코딩하는 디코더;

상기 디코더의 출력비트들에 응답하여 상기 대응되는 매크로 블록의 액티브 상태 또는 스탠바이 상태에 적절한 바디 전압들을 생성하는 바디 바이어스 발생기; 및

상기 생성된 바디 전압들을 증폭하여 상기 대응되는 매크로 블록에 공급하는 증폭기를 구비하는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 5

제4항에 있어서, 상기 바디 바이어스 발생기는,

인에이블 신호 및 상기 매크로 블록 선택신호에 응답하여, 상기 디코더의 출력비트들을 디멀티플렉싱하여 출력하는 선택회로;

상기 선택회로를 통해 입력되는 상기 디코더의 출력비트들의 전압레벨을 변환(shift)하여 변환된 출력비트들을 출력하는 복수개의 레벨 쉬프터들; 및

상기 출력비트들 및 상기 변환된 출력비트들에 응답하여 상기 대응되는 매크로 블록의 바디 전압들을 생성하는 복수개의 레지스터 트리(tree)들을 구비하는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 6

제5항에 있어서, 상기 각 레벨 쉬프터는, 상기 디코더의 출력비트들의 전압레벨을 대응되는 레지스터 트리 내의 스위치들을 제어하기 알맞은 레벨로 변환하여 상기 변환된 출력비트들을 발생하는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 7

제5항에 있어서, 상기 각 레지스터 트리는,

제1기준전압과 제2기준전압 사이에 연결되고, 상기 제1기준전압과 상기 제2기준전압 간의 차(difference) 전압

을 분배하는 전압분배기(voltage divider); 및

상기 변환된 출력비트들에 응답하여, 상기 전압분배기의 출력전압들중 하나를 선택하여 대응되는 매크로 블록의 피모스 트랜지스터들을 위한 제1바디전압으로서 제공하는 제1스위치 회로; 및

상기 출력비트들에 응답하여, 상기 전압분배기의 출력전압들중 다른 하나를 선택하여 상기 대응되는 매크로 블록의 엔모스 트랜지스터들을 위한 제2바디전압으로서 제공하는 제2스위치 회로를 구비하는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 8

제7항에 있어서, 상기 전압분배기는,

상기 제1기준전압과 상기 제2기준전압 사이에 직렬로 연결되는 복수개의 저항들을 구비하는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 9

제8항에 있어서, 상기 저항들은 피모스 트랜지스터로 구성되는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 10

제7항에 있어서, 상기 제1스위치 회로는,

상기 전압분배기의 출력노드들중 일부와 제1공통노드 사이에 연결되고 게이트들에 상기 변환된 출력비트들이 인가되는 복수개의 피모스 트랜지스터들; 및

상기 피모스 트랜지스터들의 게이트들에 연결되는 복수개의 제1래치회로들을 구비하는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 11

제10항에 있어서, 상기 제2스위치 회로는,

상기 전압분배기의 출력노드들중 다른 일부와 제2공통노드 사이에 연결되고 게이트들에 상기 출력비트들이 인가되는 복수개의 엔모스 트랜지스터들; 및

상기 엔모스 트랜지스터들의 게이트들에 연결되는 복수개의 제2래치회로들을 구비하는 것을 특징으로 하는 바디 바이어싱 제어회로.

청구항 12

복수개의 매크로 블록들의 바디 전압(body voltage)을 조절하는 바디 바이어싱(body biasing) 제어방법에 있어서,

각 매크로 블록의 액티브 상태에 적절한 바디 전압을 나타내는 인덱스들과 상기 각 매크로 블록의 스탠바이 상태에 적절한 바디 전압을 나타내는 인덱스들을 기록하는 단계;

상기 기록된 인덱스들중 제어하고자 하는 매크로 블록의 인덱스를 읽어오는 단계;

매크로 블록 선택신호를 발생하는 단계;

상기 읽어 온 인덱스를 수신하여, 상기 매크로 블록 선택신호에 대응되는 매크로 블록의 액티브 상태 또는 스탠바이 상태에 적절한 바디 전압들을 생성하는 단계; 및

상기 생성된 바디 전압들을 상기 대응되는 매크로 블록에 제공하는 단계를 구비하는 것을 특징으로 하는 바디 바이어싱 제어방법.

청구항 13

삭제

청구항 14

제12항에 있어서, 상기 바디 전압들을 생성하는 단계는,

상기 수신되는 인덱스를 디코딩하는 단계;

상기 디코딩된 결과 값들에 응답하여 상기 대응되는 매크로 블록의 액티브 상태 또는 스탠바이 상태에 적절한 바디 전압들을 생성하는 단계를 구비하는 것을 특징으로 하는 바디 바이어싱 제어방법.

청구항 15

제12항에 있어서, 상기 제공하는 단계는,

상기 생성된 바디 전압들을 증폭하여 상기 대응되는 매크로 블록에 공급하는 단계를 구비하는 것을 특징으로 하는 바디 바이어싱 제어방법.

청구항 16

제14항에 있어서, 상기 생성하는 단계는,

제1기준전압과 제2기준전압 간의 차(difference) 전압을 분배(divide)하는 단계;

상기 디코딩된 결과 값들의 반전 값들에 응답하여, 상기 분배된 전압들중 하나를 선택하여 상기 대응되는 매크로 블록의 피모스 트랜지스터들을 위한 제1바디전압으로서 제공하는 단계; 및

상기 디코딩된 결과 값들에 응답하여, 상기 분배된 전압들중 다른 하나를 선택하여 상기 대응되는 매크로 블록의 엔모스 트랜지스터들을 위한 제2바디전압으로서 제공하는 단계를 구비하는 것을 특징으로 하는 바디 바이어싱 제어방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 문턱전압(threshold voltage)을 갖는 CMOS 디지털 회로에 관한 것으로, 특히 반도체 공정의 불완전성에 따른 문턱전압의 불균일성 및 변화를 회로 동작 시에 보상하고 사용하지 않는 회로에서 발생하는 누설 전류를 줄이기 위한 바디 바이어싱(body biasing) 제어회로에 관한 것이다.
- <12> 최근의 디지털 회로에서 가장 큰 이슈는 더 많은 기능을 단일 칩에 집적하여 고성능으로 동작시키면서 동시에 전력 소모를 최소화하는 것이다. 전력 소모를 감소시키기 위해 반도체 공정의 발달과 함께 동작 전압이 계속 낮아지게 되는 데 이것은 두 가지의 큰 문제를 야기한다.
- <13> 첫 번째가 누설 전류의 증가이다. 동작 전압을 낮춤으로써 떨어지는 회로의 속도를 보상하기 위해 문턱 전압을 낮추게 되는데, 이로 인해 누설 전류가 크게 증가한다. 누설 전류는 회로가 동작하지 않을 때에도 계속 흐르게 되므로 동작하지 않는 시간이 동작하는 시간에 비해 상대적으로 많은 회로 (예를 들어 핸드폰, PDA와 같은 휴대용 시스템에 사용되는 회로)에서 특히 큰 문제가 된다.
- <14> 두 번째는 반도체 공정의 불완전성에 따른 문턱 전압의 불균일성 및 변화에 의한 속도의 저하이다. 반도체 공정상의 여건에 따라 문턱 전압은 조금씩 차이가 나게 되는데 동작 전압이 낮아질수록 문턱 전압의 변화가 회로의 속도에 미치는 영향이 커진다. 즉, 같은 문턱 전압의 차이가 발생했을 때, 높은 동작 전압에서는 허용 범위 내에서 회로의 속도가 변하지만 낮은 동작 전압에서는 회로의 속도가 허용 범위 밖으로 벗어날 수 있다. 이것은 수율(yield)을 크게 떨어뜨리게 되며 결국 제조원가를 높이는 요인이 된다.
- <15> 상기와 같은 두 가지 문제를 해결하고자 어댑티브 바디 바이어싱(Adaptive Body Biasing) 방법이 고안되었다. 어댑티브 바디 바이어싱의 일예가 미국 공개특허 번호 US 2006/0066388 A1에 개시되어 있다.
- <16> 도 1은 CMOS 회로에 사용되는 피모스(PMOS) 트랜지스터를 나타내고 도 2는 CMOS 회로에 사용되는 엔모스(NMOS) 트랜지스터를 나타낸다. 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터에는 게이트(G), 드레인(D), 소스(S) 외에 바디(B) 단자가 있는데, 전통적인 CMOS 회로에서는 엔모스(NMOS) 트랜지스터의 바디(B) 단자를 접지

단자에 연결하고 피모스(PMOS) 트랜지스터의 바디(B) 단자를 전원 단자와 같이 일정한 전압을 가지는 단자에 연결한다.

<17> 그러나 바디(B) 단자에 다른 전압을 인가하게 되면 트랜지스터의 문턱 전압이 변하게 된다. 즉, 바디(B) 단자와 소스(S) 단자 사이에 역 바이어스(reverse bias)를 가하게 되면 문턱 전압이 높아져서 회로의 속도가 느려지면서 누설 전류는 감소하게 되고, 바디(B) 단자와 소스(S) 단자 사이에 정 바이어스(forward bias)를 가하게 되면 문턱 전압이 낮아져서 회로의 속도는 빨라지면서 누설 전류는 증가하게 된다. 어댑티브 바디 바이어싱(Adaptive Body Biasing) 방법은 이러한 성질을 이용해서 누설 전류 문제와 반도체 공정상에 나타날 수밖에 없는 문턱 전압의 불균일성 문제를 동시에 해결한다. 문턱 전압이 크게 제조된 회로에서는 바디(B) 단자와 소스(S) 단자 사이에 정 바이어스(forward bias)를 가해서 문턱 전압을 낮춰 원하는 속도가 나오도록 하고, 문턱 전압이 너무 낮게 제조된 회로에는 역 바이어스(reverse bias)를 가해서 적당한 속도를 유지하면서 누설 전류가 감소되도록 한다. 그리고 회로가 동작하지 않을 때는 아주 큰 역 바이어스(reverse bias)를 가함으로써 누설 전류가 거의 흐르지 않도록 한다.

<18> 도 3은 종래의 어댑티브 바디 바이어싱 회로를 나타내는 블록도이다. 모니터링 회로(31)에서 목표 회로(35)의 문턱 전압을 체크하고 체크결과 목표 회로(35)의 문턱 전압이 원하는 문턱 전압보다 낮으면 바이어스 발생기(33)에서 목표 회로(35)의 바디 전압(VBODY)을 변화시켜 문턱 전압을 조금 높인다. 체크결과 목표 회로(35)의 문턱 전압이 원하는 문턱 전압보다 높으면 바이어스 발생기(33)에서 목표 회로(35)의 바디 전압(VBODY)을 변화시켜 문턱 전압을 조금 낮춘다. 이러한 과정을 계속 반복하여 목표 회로(35)의 원하는 문턱 전압이 얻어지게 된다.

<19> 그런데 상기와 같은 종래의 어댑티브 바디 바이어싱 회로의 문제점은 모니터링 회로(31)와 바이어스 발생기(33)가 차지하는 면적이 너무 크고 또한 추가적인 전력 소모와 바이어싱에 걸리는 시간이 크다는 점이다. 따라서 상기와 같은 종래의 어댑티브 바디 바이어싱 회로는 대단히 큰 CMOS 회로에는 사용될 수 있으나 칩 내부의 작은 매크로 블록들에 독립적으로 사용될 수는 없다. 또한 여러 매크로 블록들을 독립적으로 바이어싱하기 위해서는 매크로 블록 개수만큼의 모니터링 회로와 바이어스 발생기가 필요하므로 오버헤드(overhead)가 지나치게 커지는 단점이 있다.

발명이 이루고자 하는 기술적 과제

<20> 따라서 본 발명이 이루고자하는 기술적 과제는, 집적회로로 구현될 경우 면적이 작고 특히 여러개의 매크로 블록들에 공유되고 여러개의 매크로 블록들의 바디 전압을 각각 다르게 독립적으로 제어할 수 있는 바디 바이어싱(body biasing) 제어회로를 제공하는 데 있다.

<21> 본 발명이 이루고자하는 다른 기술적 과제는, 여러개의 매크로 블록들의 바디 전압을 각각 다르게 독립적으로 제어할 수 있는 바디 바이어싱(body biasing) 제어방법을 제공하는 데 있다.

발명의 구성 및 작용

<22> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 바디 바이어싱 제어회로는, 각 매크로 블록의 동작상태에 적절한 바디 전압을 나타내는 인덱스들이 기록되는 록업 테이블, 및 상기 록업 테이블로부터 대응되는 인덱스를 수신하여, 대응되는 매크로 블록의 동작상태에 적절한 바디 전압들을 생성하여 상기 대응되는 매크로 블록에 제공하는 제어회로를 구비하는 것을 특징으로 한다.

<23> 본 발명에 따른 바디 바이어싱 제어회로는 상기 록업 테이블로부터 상기 대응되는 인덱스를 읽어와 상기 제어회로에 제공하고 상기 제어회로를 제어하기 위한 제어신호들을 발생하는 파워워 관리 유닛(power management unit)를 더 구비한다.

<24> 바람직한 실시예에 따르면 상기 인덱스들은, 상기 각 매크로 블록의 액티브 상태일 때의 바디 전압을 나타내는 인덱스들, 및 상기 각 매크로 블록의 스탠바이 상태일 때의 바디 전압을 나타내는 인덱스들을 포함한다.

<25> 바람직한 실시예에 따르면 상기 제어회로는, 상기 대응되는 인덱스를 디코딩하는 디코더, 상기 디코더의 출력비트들에 응답하여 상기 대응되는 매크로 블록의 동작상태에 적절한 바디 전압을 생성하는 바디 바이어스 발생기, 및 상기 생성된 바디 전압을 증폭하여 상기 대응되는 매크로 블록에 공급하는 증폭기를 구비한다.

<26> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 바디 바이어싱 제어방법은, 각 매크로 블록의 동작상태에 적절한 바디 전압을 나타내는 인덱스들을 기록하는 단계, 상기 기록된 인덱스들중 대응되는 인덱스를 수신하

여, 대응되는 매크로 블록의 동작상태에 적절한 바디 전압을 생성하는 단계, 및 상기 생성된 바디 전압을 상기 대응되는 매크로 블록에 제공하는 단계를 구비하는 것을 특징으로 한다.

- <27> 바람직한 실시예에 따르면 상기 인덱스들은, 상기 각 매크로 블록의 액티브 상태일 때의 바디 전압을 나타내는 인덱스들, 및 상기 각 매크로 블록의 스탠바이 상태일 때의 바디 전압을 나타내는 인덱스들을 포함한다.
- <28> 바람직한 실시예에 따르면 상기 바디 전압을 생성하는 단계는, 상기 대응되는 인덱스를 디코딩하는 단계, 상기 디코딩된 결과 값들에 응답하여 상기 대응되는 매크로 블록의 동작상태에 적절한 바디 전압을 생성하는 단계를 구비한다.
- <29> 바람직한 실시예에 따르면 상기 제공하는 단계는, 상기 생성된 바디 전압을 증폭하여 상기 대응되는 매크로 블록에 공급하는 단계를 구비한다.
- <30> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <31> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <32> 도 4는 본 발명의 일실시예에 따른 바디 바이어싱 제어회로를 나타내는 블록도이다.
- <33> 도 4를 참조하면, 본 발명의 일실시예에 따른 바디 바이어싱 제어회로는 룩업 테이블(41), 제어회로(43), 및 파워 관리 유닛(power management unit)(45)을 구비한다. 상기 바디 바이어싱 제어회로는 본 발명에 따른 바디 바이어싱 제어방법에 따라 동작한다.
- <34> 룩업 테이블(41)에는 각 매크로 블록(100,200)의 동작상태에 적절한 바디 전압을 나타내는 인덱스(index)들이 기록된다. 즉, 각 매크로 블록(100,200)이 동작할 때(액티브 상태일 때)의 바디 전압을 나타내는 인덱스들(VB(A)) 및 각 매크로 블록(100,200)이 동작하지 않을 때(스탠바이 상태일 때)의 바디 전압을 나타내는 인덱스들(VB(S))이 기록된다.
- <35> 파워 관리 유닛(45)은 룩업 테이블(41)로부터 각 매크로 블록(100,200)의 동작상태에 따라 대응되는 인덱스(VB)를 읽어와 제어회로(43)에 제공한다. 또한 파워 관리 유닛(45)은 제어회로(43)를 제어하기 위한 제어신호들, 즉 인에이블 신호(ON) 및 매크로 블록 선택신호(SEL)를 발생한다. 제어회로(43)는 대응되는 인덱스(VB)를 수신하여, 대응되는 매크로 블록(100,200)의 동작상태에 적절한 바디 전압들(PBODY,NBODY)을 생성하여 대응되는 매크로 블록(100,200)에 제공한다.
- <36> 즉, 본 발명에 따른 바디 바이어싱 제어회로에서는, 룩업 테이블(41)에 각각의 매크로 블록(100,200)이 동작할 때의 바디 전압을 나타내는 인덱스들(VB(A)) 및 동작하지 않을 때의 바디 전압을 나타내는 인덱스들(VB(S))을 기록해 두고 각 매크로 블록의 동작상태에 따라 필요한 인덱스를 읽어와 그 동작상태에 맞는 바디 전압들(PBODY,NBODY)을 생성하여 대응되는 매크로 블록(100,200)에 제공한다. 바디 전압(PBODY)은 각 매크로 블록(100,200)의 피모스 트랜지스터들을 위한 바디전압을 나타내고, 바디 전압(NBODY)은 각 매크로 블록(100,200)의 엔모스 트랜지스터들을 위한 바디전압을 나타낸다.
- <37> 도 4에서는 설명의 편의를 위하여 제어회로(43)에 의해 두개의 매크로 블록(100,200)이 제어되는 경우가 도시되어 있으나 필요에 따라 3개 이상의 매크로 블록이 제어될 수 있음은 자명하다.
- <38> 제어회로(43)는 디코더(431), 바디 바이어스 발생기(433), 및 증폭기(435)를 포함하여 구성된다. 디코더(431)는 파워 관리 유닛(45)을 경유하여 수신된 인덱스(VB)를 디코딩하여 출력비트들(ADRO-ADRn)을 출력한다. 바디 바이어스 발생기(433)는 디코더(431)의 출력비트들(ADRO-ADRn)에 응답하여 각 매크로 블록(100,200)의 동작상태에 적절한 바디 전압들을 생성한다. 증폭기(435)는 바디 바이어스 발생기(433)에 의해 생성된 바디 전압들을 증폭하여 최종 바디 전압들(PBODY,NBODY)을 해당하는 매크로 블록에 공급한다.
- <39> 도 5는 인덱스(VB)에 따라 제어회로(43)에 의해 생성되는 바디 전압들(PBODY,NBODY)의 예를 나타낸다. VB(000) 내지 VB(110)는 각 매크로 블록(100,200)의 액티브 상태에서의 바디 전압을 나타내는 인덱스들(VB(A))이고, VB(111)는 각 매크로 블록(100,200)의 스탠바이 상태에서의 바디 전압을 나타내는 인덱스(VB(S))이다. 상술한 바와 같이, 바디 전압(PBODY)은 매크로 블록(100,200)의 피모스 트랜지스터들을 위한 바디전압을 나타내고, 바디 전압(NBODY)은 매크로 블록(100,200)의 엔모스 트랜지스터들을 위한 바디전압을 나타낸다.
- <40> 각 인덱스에는 엔모스 트랜지스터들을 위한 바디전압(NBODY)과 피모스 트랜지스터들을 위한 바디전압(PBODY)이

쌍으로 대응된다. 인텍스의 비트 수는 바디 바이어싱의 정밀도를 결정하며, 인텍스의 비트 수가 많을수록 바디 전압들(NBODY, PBODY)에 대해 세밀한 제어가 가능한 반면에 바디 바이어싱 제어회로의 복잡도는 증가하게 된다.

- <41> 인텍스들은 칩이 제작된 후에 결정되는데, 각 매크로 블록 단위로 인텍스를 바꾸어 가면서 동작 속도를 측정하는 다음 원하는 동작 속도가 나올 때의 인텍스를 선택하면 된다.
- <42> 도 4 및 도 5를 참조하여 본 발명에 따른 바디 바이어싱 제어회로의 동작을 좀더 설명하면 다음과 같다. 파워위 관리 유닛(45)이 록업 테이블(41)로부터 제어하고자 하는 매크로 블록의 인텍스(VB)(예컨대 000)를 읽어 오면 디코더(431)가 인텍스(VB=000)를 디코딩하여 디코더(431)의 출력비트들(ADRO-ADRn)이 10000000이 된다. 이에 따라 바디 바이어스 발생기(433)와 증폭기(435)에 의해 0.4볼트의 NBODY와 1.4볼트의 PBODY가 생성된다.
- <43> 이 0.4볼트의 NBODY와 1.4볼트의 PBODY는 인에이블 신호(ON) 및 매크로 블록 선택신호(SEL)의 논리상태에 따라 매크로 블록(100) 또는 매크로 블록(200)에 공급된다. 예컨대 인에이블 신호(ON)가 논리 "1"이고 매크로 블록 선택신호(SEL)가 논리 "0"이면, 상기 0.4볼트의 NBODY와 1.4볼트의 PBODY가 매크로 블록(100)에 공급된다. 그리고 인에이블 신호(ON)가 논리 "1"이고 매크로 블록 선택신호(SEL)가 논리 "1"이면, 상기 0.4볼트의 NBODY와 1.4볼트의 PBODY가 매크로 블록(200)에 공급된다.
- <44> 도 6은 도 4에 도시된 바디 바이어스 발생기(433)의 구성을 나타내는 블록도이다. 여기에서는 설명의 편의를 위하여 증폭기(435)가 함께 도시되었다.
- <45> 도 6을 참조하면, 바디 바이어스 발생기(433)는 복수개의 레지스터 트리들(trees)(61A, 62B), 복수개의 레벨 쉬프터들(63A, 63B), 및 선택회로(65)를 구비한다. 레지스터 트리(61A) 및 레벨 쉬프터(63A)는 도 4에 도시된 매크로 블록(100)을 위한 것이고, 레지스터 트리(61B) 및 레벨 쉬프터(63B)는 도 4에 도시된 매크로 블록(200)을 위한 것이다.
- <46> 선택회로(65)는 인에이블 신호(ON) 및 매크로 블록 선택신호(SEL)에 응답하여, 디코더(431)의 출력비트들(ADRO-ADRn)을 디멀티플렉싱(demultiplexing)하여 레벨 쉬프터(63A) 또는 레벨 쉬프터(63B)로 출력한다. 선택회로(65)는 각 출력비트(ADRO-ADRn)를 디멀티플렉싱하는 복수개의 디멀티플렉서들(651-65n)을 포함하여 구성된다.
- <47> 디멀티플렉서들(651-65n)은 인에이블 신호(ON) 및 매크로 블록 선택신호(SEL)에 의해 제어된다. 도 7은 인에이블 신호(ON) 및 매크로 블록 선택신호(SEL)의 파형도를 나타내는 도면이고, 도 8은 인에이블 신호(ON) 및 매크로 블록 선택신호(SEL)의 상태에 따른 디멀티플렉서(651-65n)의 구성을 나타내는 도면이다.
- <48> 도 8에 도시된 바와 같이 인에이블 신호(ON)가 논리 "0"이면 디멀티플렉서들(651-65n)은 오프되고 디코더(431)의 출력비트들(ADRO-ADRn)은 레벨 쉬프터(63A) 및 레벨 쉬프터(63B)로 출력되지 않는다. 인에이블 신호(ON)가 논리 "1"이고 매크로 블록 선택신호(SEL)가 논리 "0"이면, 디코더(431)의 출력비트들(ADRO-ADRn)은 레벨 쉬프터(63A)로 출력된다. 그리고 인에이블 신호(ON)가 논리 "1"이고 매크로 블록 선택신호(SEL)가 논리 "1"이면, 디코더(431)의 출력비트들(ADRO-ADRn)은 레벨 쉬프터(63B)로 출력된다.
- <49> 각각의 레벨 쉬프터(63A, 63B)는 입력되는 출력비트들(ADRO-ADRn)의 전압레벨을 대응되는 레지스터 트리(tree)(61A, 62B) 내의 스위치들(도 9에 도시된 S31-S34, S51-S54)을 제어하기 알맞은 레벨로 변환(shift)하여 변환된 출력비트들(/ADRO-/ADRn)을 출력한다. 또한 각각의 레벨 쉬프터(63A, 63B)는 입력되는 출력비트들(ADRO-ADRn)을 그대로 출력한다. 레벨 쉬프터(63A, 63B)에 의해 출력비트들(ADRO-ADRn)의 전압레벨을 변환(shift)하는 이유는, 피모스 트랜지스터들로 구성되는 스위치들(S31-S34)을 제어하는 전압레벨과 엔모스 트랜지스터들로 구성되는 스위치들(S51-S54)을 제어하는 전압레벨이 서로 다르기 때문이다.
- <50> 레지스터 트리(61A)는 출력비트들(ADRO-ADRn) 및 변환된 출력비트들(/ADRO-/ADRn)에 응답하여 대응되는 매크로 블록(100)의 동작상태에 적절한 바디 전압들을 생성한다. 레지스터 트리(61A)에서 생성된 바디 전압들은 증폭기(435)에 의해 증폭되어 최종 바디 전압들(PBODY1, NBODY1)이 매크로 블록(100)에 공급된다. 레지스터 트리(61B)는 출력비트들(ADRO-ADRn) 및 변환된 출력비트들(/ADRO-/ADRn)에 응답하여 대응되는 매크로 블록(200)의 동작상태에 적절한 바디 전압들을 생성한다. 레지스터 트리(61B)에서 생성된 바디 전압들은 증폭기(435)에 의해 증폭되어 최종 바디 전압들(PBODY2, NBODY2)이 매크로 블록(200)에 공급된다.
- <51> 바디 전압(PBODY1) 및 바디 전압(NBODY1)은 각각 매크로 블록(100)의 피모스 트랜지스터들을 위한 바디전압 및 엔모스 트랜지스터들을 위한 바디전압을 나타낸다. 그리고 바디 전압(PBODY2) 및 바디 전압(NBODY2)은 각각 매크로 블록(200)의 피모스 트랜지스터들을 위한 바디전압 및 엔모스 트랜지스터들을 위한 바디전압을 나타낸다.

- <52> 도 9는 도 6에 도시된 레지스터 트리(61A,62B)의 구성을 나타내는 회로도이다.
- <53> 도 9를 참조하면, 레지스터 트리(61A,62B)는 전압분배기(voltage divider)(91), 제1스위치 회로(93), 및 제2스위치 회로(95)를 구비한다.
- <54> 전압분배기(91)는 제1기준전압(VDDH)과 제2기준전압(VDDL) 사이에 연결되고, 제1기준전압(VDDH)과 제2기준전압(VDDL) 간의 차(difference) 전압을 분배한다. 제1스위치 회로(93)는 변환된 출력비트들(/ADRO-/ADRn)에 응답하여, 전압분배기(91)의 출력전압들(O1-O4)중 하나를 선택하여 증폭기(435-1)를 거쳐 대응되는 매크로 블록(예컨대 도 4에 도시된 매크로 블록(100) 또는 매크로 블록(200))의 피모스 트랜지스터들을 위한 바디전압(PBODY)으로서 제공한다. 제2스위치 회로(95)는 출력비트들(ADRO-ADRn)에 응답하여, 전압분배기(91)의 출력전압들(O5-O8)중 하나를 선택하여 증폭기(435-2)를 거쳐 상기 대응되는 매크로 블록의 엔모스 트랜지스터들을 위한 바디전압(NBODY)으로서 제공한다.
- <55> 따라서 전압분배기(91), 제1스위치 회로(93), 및 제2스위치 회로(95)를 적절히 구성함으로써, 디코더(431)의 출력비트들(ADRO-ADRn)에 따라 도 4에 도시된 바와 같은 값들을 갖는 바디전압(PBODY) 및 바디전압(NBODY)을 생성할 수 있다.
- <56> 전압분배기(91)는 제1기준전압(VDDH)과 제2기준전압(VDDL) 사이에 직렬로 연결되는 복수개의 저항들(R1 내지 R8)을 포함하여 구성된다. 여기에서는 저항들(R1 내지 R8)은 피모스 트랜지스터로 구성된 경우가 도시되어 있다.
- <57> 제1스위치 회로(93)는, 전압분배기(91)의 출력노드들(O1-O4)과 제1공통노드(N1) 사이에 연결되고 게이트들에 변환된 출력비트들(/ADRO-/ADRn)이 인가되는 복수개의 피모스 스위치들(S31-S34), 및 피모스 스위치들(S31-S34)의 게이트들에 연결되는 복수개의 제1래치회로들(L31-L34)을 포함하여 구성된다. 제2스위치 회로(95)는, 전압분배기(91)의 출력노드들(O5-O8)과 제2공통노드(N2) 사이에 연결되고 게이트들에 출력비트들(ADRO-ADRn)이 인가되는 복수개의 엔모스 스위치들(S51-S54), 및 엔모스 스위치들(S51-S54)의 게이트들에 연결되는 복수개의 제2래치회로들(L51-L54)을 포함하여 구성된다.
- <58> 스위치들(S31-S34, S51-S54)의 게이트들에 래치회로들(L31-L34, L51-L54)을 연결시키는 이유는, 하나의 매크로 블록(예컨대 매크로 블록(100))을 제어할 때 다른 매크로 블록(예컨대 매크로 블록(200))의 바디전압들(PBODY, NBODY)은 계속 유지되어야 하기 때문이다.
- <59> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

- <60> 상술한 본 발명에 따른 바디 바이어싱 제어회로는 종래기술에서 문턱전압을 체크하기 위해 사용되는 모니터링 회로가 필요 없으므로 집적회로로 구현될 경우 면적이 작아지는 장점이 있다. 또한 본 발명에 따른 바디 바이어싱 제어회로는 여러개의 매크로 블록들에 공유되고 여러개의 매크로 블록들의 바디 전압을 각각 다르게 독립적으로 제어할 수 있는 장점이 있다. 또한 인텍스에 따라 해당 매크로 블록의 동작상태에 적절한 바디 전압들이 바로 생성되므로 종래기술에 비해 바이어싱에 걸리는 시간이 훨씬 작아지는 장점이 있다.

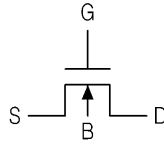
도면의 간단한 설명

- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 CMOS 회로에 사용되는 피모스(PMOS) 트랜지스터를 나타내는 도면이다.
- <3> 도 2는 CMOS 회로에 사용되는 엔모스(NMOS) 트랜지스터를 나타내는 도면이다.
- <4> 도 3은 종래의 어댑티브 바디 바이어싱 회로를 나타내는 블록도이다.
- <5> 도 4는 본 발명의 일실시예에 따른 바디 바이어싱 제어회로를 나타내는 블록도이다.
- <6> 도 5는 인텍스(VB)에 따라 제어회로에 의해 생성되는 바디 전압들의 예를 나타내는 도면이다.

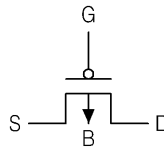
- <7> 도 6은 도 4에 도시된 바디 바이어스 발생기의 구성을 나타내는 블록도이다.
- <8> 도 7은 인에이블 신호(ON) 및 매크로 블록 선택신호(SEL)의 파형도를 나타내는 도면이다.
- <9> 도 8은 인에이블 신호(ON) 및 매크로 블록 선택신호(SEL)의 상태에 따른 디멀티플렉서의 구성을 나타내는 도면이다.
- <10> 도 9는 도 6에 도시된 레지스터 트리의 구성을 나타내는 회로도이다.

도면

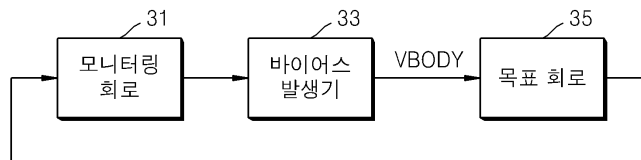
도면1



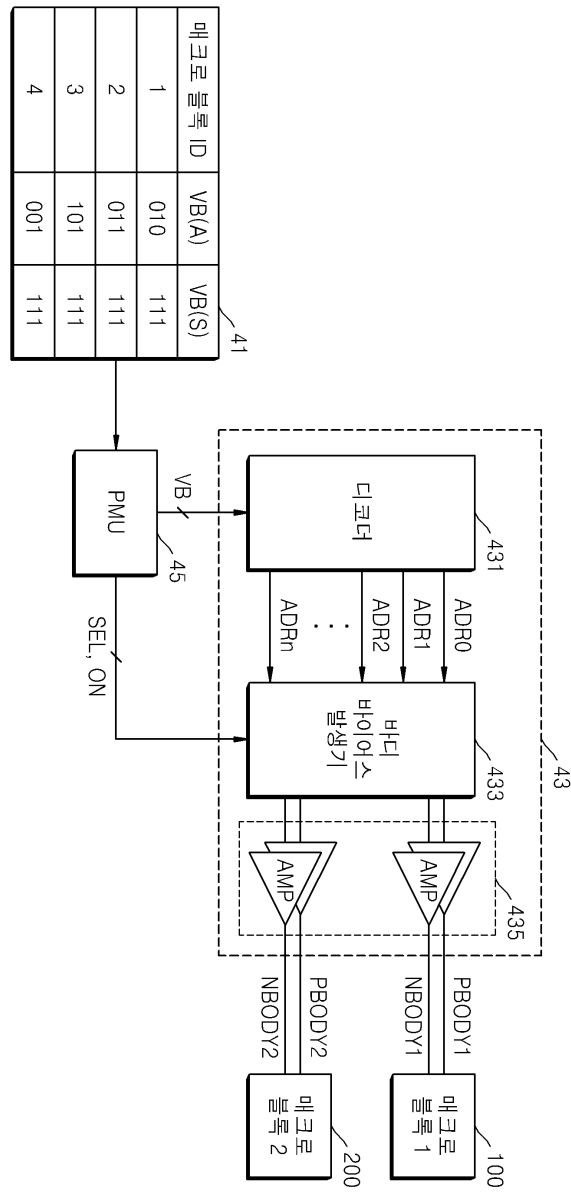
도면2



도면3



도면4



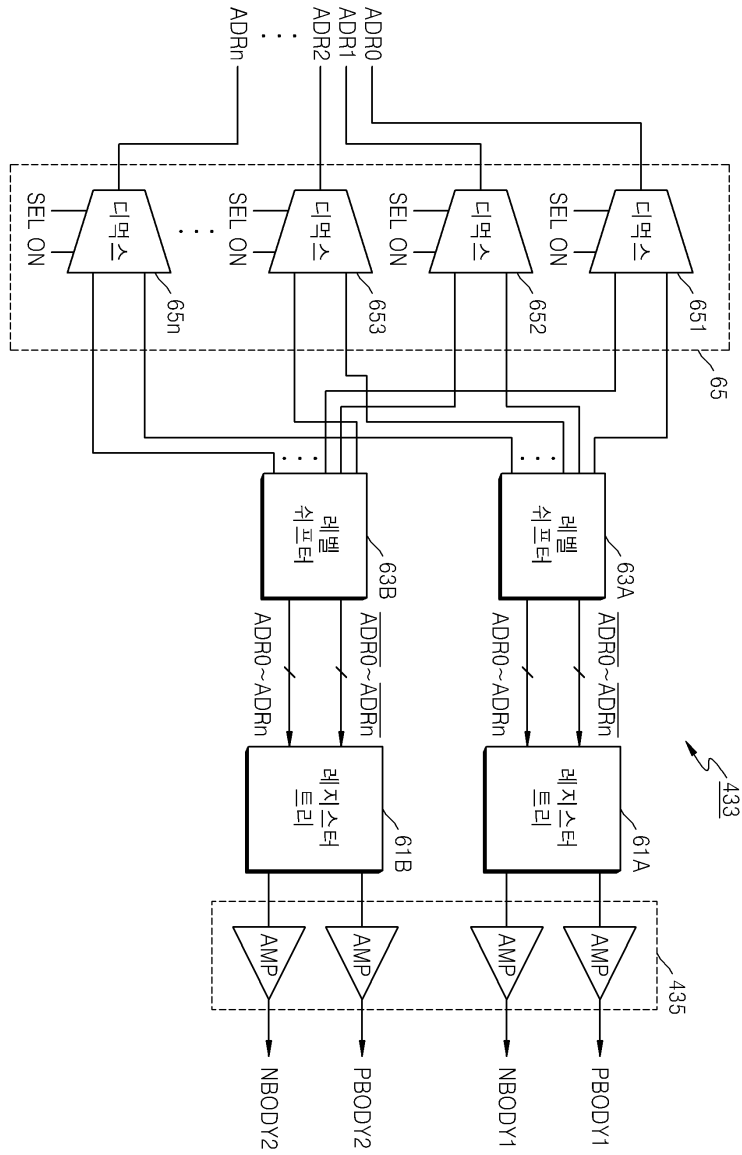
도면5

VB	디코더 출력	NBODY	PBODY
000	10000000	0.4	1.4
001	01000000	0.2	1.6
010	00100000	0.1	1.7
011	00010000	0.0	1.8
100	00001000	-0.1	1.9
101	00000100	-0.2	2.0
110	00000010	-0.4	2.2
111	00000001	-1.5	3.3

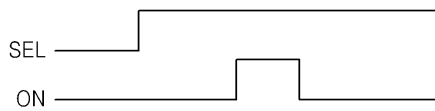
ACTIVE MODE (VB(A)) ← { 000, 001, 010, 011 }

STANDBY MODE (VB(S)) ← { 100, 101, 110, 111 }

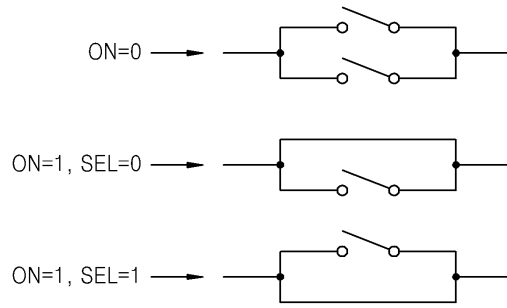
도면6



도면7



도면8



도면9

