



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월10일
(11) 등록번호 10-0857826
(24) 등록일자 2008년09월03일

(51) Int. Cl.

G11C 5/14 (2006.01)

(21) 출원번호 10-2007-0037863
(22) 출원일자 2007년04월18일
심사청구일자 2007년04월18일
(56) 선행기술조사문헌
W02004109485 A2
KR1020040102190 A

(73) 특허권자

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

신영수

대전 유성구 구성동 한국과학기술원 나노 SoC 빌딩 s204호

김형욱

서울 송파구 잠실동 우성아파트 27동 603호

(74) 대리인

박영우

전체 청구항 수 : 총 14 항

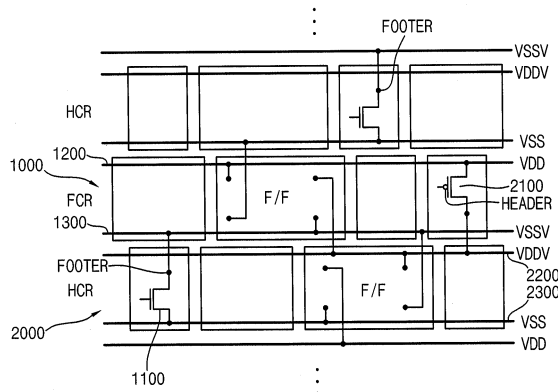
심사관 : 윤국섭

(54) 지그재그 파워 게이팅을 적용한 파워 네트워크 회로 및 이를 포함하는 반도체 장치

(57) 요약

일반 표준셀을 이용하여 세미 커스텀 방식으로 반도체를 설계하기 위하여 지그재그 파워 게이팅을 적용한 파워 네트워크를 개시한다. 상기 파워 네트워크는 전원전압을 공급하는 전원전압 라인 및 가상 기저전압 라인으로 이루어진 하나 이상의 제 1 레일 쌍, 및 가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인으로 이루어진 하나 이상의 제 2 레일 쌍을 포함한다. 상기 파워 네트워크를 적용한 반도체 장치는 전력 소모가 적고 일반 표준셀을 기반으로 하여 용이한 설계가 가능하다.

대표도 - 도3



특허청구의 범위

청구항 1

전원전압을 공급하는 전원전압 라인 및 근접하는 다른 레일 쌍의 기저전압 라인에 제 1 파워 게이팅 회로를 통하여 연결된 가상 기저전압 라인으로 이루어진 하나 이상의 제 1 레일 쌍; 및

근접하는 다른 레일 쌍의 전원전압 라인에 제 2 파워 게이팅 회로를 통하여 연결된 가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인으로 이루어진 하나 이상의 제 2 레일 쌍을 포함하는 파워 네트워크 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 파워 게이팅 회로는 슬립모드 제어신호의 반전신호에 응답하여, 상기 근접하는 다른 레일 쌍의 기저전압 라인과 상기 가상 기저전압 라인의 연결을 스위칭하는 NMOS(N-channel metal-oxide semiconductor) 트랜지스터인 것을 특징으로 하는 파워 네트워크 회로.

청구항 3

제 1 항에 있어서,

상기 제 2 파워 게이팅 회로는 슬립모드 제어신호에 응답하여, 상기 근접하는 다른 레일 쌍의 전원전압 라인과 상기 가상 전원전압 라인의 연결을 스위칭하는 PMOS(P-channel metal-oxide semiconductor) 트랜지스터인 것을 특징으로 하는 파워 네트워크 회로.

청구항 4

전원전압을 공급하는 전원전압 라인 및 가상 기저전압 라인으로 이루어진 하나 이상의 제 1 레일 쌍을 배치하는 단계;

가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인으로 이루어진 하나 이상의 제 2 레일 쌍을 배치하는 단계;

상기 가상 기저전압 라인과 근접하는 다른 레일 쌍의 기저전압 라인을 NMOS(N-channel metal-oxide semiconductor) 트랜지스터로 연결하는 단계; 및

상기 가상 전원전압 라인과 근접하는 다른 레일 쌍의 전원전압 라인을 PMOS(P-channel metal-oxide semiconductor) 트랜지스터로 연결하는 단계를 포함하는 파워 네트워크 회로 설계방법.

청구항 5

복수의 행을 이루는 표준셀들;

상기 복수의 행들 중에서 하나 이상의 제 1 행의 상부에 각각 형성되며, 전원전압을 공급하는 전원전압 라인 및 근접하는 다른 레일 쌍의 기저전압 라인과 제 1 파워 게이팅 회로를 통하여 연결된 가상 기저전압 라인으로 이루어진 하나 이상의 제 1 레일 쌍; 및

상기 복수의 행들 중에서 상기 하나 이상의 제 1 행을 제외한 제 2 행의 상부에 각각 형성되며, 근접하는 다른 레일 쌍의 전원전압 라인과 제 2 파워 게이팅 회로를 통하여 연결된 가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인으로 이루어진 하나 이상의 제 2 레일 쌍을 포함하는 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 파워 게이팅 회로는 상기 표준셀들 중 하나에 형성되고, 슬립모드 제어신호의 반전신호에 응답하여 상기 근접하는 다른 레일 쌍의 기저전압 라인과 상기 가상 기저전압 라인의 연결을 스위칭하는 NMOS(N-channel metal-oxide semiconductor) 트랜지스터인 것을 특징으로 하는 반도체 장치.

청구항 7

제 5 항에 있어서,

상기 제 2 파워 게이팅 회로는 상기 표준셀들 중 하나에 형성되고, 슬립모드 제어신호에 응답하여 상기 근접하는 다른 레일 쌍의 전원전압 라인과 상기 가상 전원전압 라인의 연결을 스위칭하는 PMOS(P-channel metal-oxide semiconductor) 트랜지스터인 것을 특징으로 하는 반도체 장치.

청구항 8

제 5 항에 있어서,

상기 반도체 장치의 면적을 최소화하기 위하여 상기 하나 이상의 제 1 행에만 D형 플립플롭(flip-flop)이 배치된 것을 특징으로 하는 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 반도체 장치의 배선을 최소화하기 위하여 상기 D형 플립플롭과 연결되는 논리 소자는 상기 하나 이상의 제 1 행에 배치되고, 상기 논리 소자의 출력 값에 따라 슬립 벡터를 입력받는 것을 특징으로 하는 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 D형 플립플롭 및 상기 논리 소자가 배치된 표준셀들의 면적에 비례하여 상기 하나 이상의 제 1 행 및 상기 하나 이상의 제 2 행의 수를 조정하는 것을 특징으로 하는 반도체 장치.

청구항 11

슬립벡터를 결정하는 단계;

상기 슬립벡터에 의해 결정되는 논리소자들의 출력 값에 따라 상기 논리소자들을 복수의 행으로 나열하는 단계;

상기 복수의 행들 중에서 출력이 1인 논리소자가 배치된 하나 이상의 제 1 행의 상부에 전원전압을 공급하는 전원전압 라인 및 가상 기저전압 라인으로 이루어진 하나 이상의 제 1 레일 쌍을 각각 배치하는 단계;

상기 복수의 행들 중에서 상기 하나 이상의 제 1 행을 제외한 제 2 행의 상부에 가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인으로 이루어진 하나 이상의 제 2 레일 쌍을 각각 배치하는 단계;

상기 가상 기저전압 라인과 근접하는 다른 레일 쌍의 기저전압 라인을 NMOS(N-channel metal-oxide semiconductor) 트랜지스터로 각각 연결하는 단계; 및

상기 가상 전원전압 라인과 근접하는 다른 레일 쌍의 전원전압 라인을 PMOS(P-channel metal-oxide semiconductor) 트랜지스터로 각각 연결하는 단계를 포함하는 반도체 장치 설계방법.

청구항 12

제 11 항에 있어서,

상기 반도체 장치의 면적을 최소화하기 위하여 상기 하나 이상의 제 1 행에만 D형 플립플롭(flip-flop)을 배치하는 단계를 더 포함하는 반도체 장치 설계방법.

청구항 13

제 12 항에 있어서,

상기 반도체 장치의 배선을 최소화하기 위하여 상기 D형 플립플롭과 연결되는 논리 소자를 상기 하나 이상의 제 1 행에 배치하는 단계를 더 포함하는 반도체 장치 설계방법.

청구항 14

제 13 항에 있어서,

상기 D형 플립플롭 및 상기 논리 소자가 배치된 표준셀들의 면적에 비례하여 상기 하나 이상의 제 1 행 및 상기

하나 이상의 제 2 행의 수를 조정하는 단계를 더 포함하는 반도체 장치 설계방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 반도체 장치의 전원 공급에 관한 것으로, 더욱 상세하게는 지그재그 파워 게이팅이 적용된 파워 네트워크, 상기 파워 네트워크를 포함하는 반도체 장치, 상기 파워 네트워크 설계방법 및 상기 파워 네트워크를 포함하는 반도체 장치의 설계방법에 관한 것이다.
- <17> 최근의 전자 제품들은 시장의 요구에 따라 더 작은 크기와 더 긴 동작 시간, 더 큰 용량과 더 많은 기능을 가지도록 개발되고 있다. 특히 휴대용 전자 제품들은 저전력화 및 소형화가 필수적이다. 따라서, 그러한 제품에 사용되는 반도체 장치들도 마찬가지로 저전력화 및 소형화되고 있다.
- <18> 제조 공정이 세밀화되고 전원 전압이 낮아지면서, 반도체 장치들을 소형화할 수 있게 되었으나, 대기 모드에서는 누설 전류가 늘어나고, 정상 동작 모드에서는 동작 속도를 빠르게 할 수 없는 문제점이 발생하게 되었다. 이러한 문제점을 개선하기 위해 파워 게이팅(power gating) 기술이 제시되었다. 파워 게이팅 기술은 전원전압(또는 기저전압)과 논리회로 사이에 문턱전압(threshold voltage)이 비교적 높은 MOS(Metal Oxide Semiconductor) 트랜지스터를 직렬로 연결하여, 정상 동작 모드(active mode; power on mode)에서는 MOS 트랜지스터를 턴 온 시켜 전원전압(또는 기저전압)을 문턱전압이 비교적 낮은 논리 회로에 공급함으로써 논리 회로의 동작속도를 향상시키고, 대기 모드(sleep mode; power down mode)에서는 MOS 트랜지스터를 턴 오프 시켜 논리 회로를 전원전압(또는 기저전압)과 차단함으로써 논리 회로의 누설전류(leakage current, sub-threshold current)를 줄이는 기술이다. 파워 게이팅 기술은, 특히 정상 동작 모드에 있는 시간보다 대기 모드에 있는 시간이 훨씬 긴 휴대기기용 LSI(Large Scale Integration) 칩의 소비전력을 줄이는 데 유용하다. 이러한 파워 게이팅 기술이 적용된 파워 네트워크를 이용하면 대기 모드에서는 누설 전류를 효율적으로 억제할 수 있고, 정상 동작 모드에서는 적절한 수준의 전류를 흘려주어 논리 회로의 동작속도를 향상시킬 수 있다.
- <19> 도 1은 종래의 파워 게이팅이 적용된 회로를 나타내는 도면이다.
- <20> 도 1을 참조하면, 파워 게이팅이 적용된 회로는 논리 회로, NMOS (N-channel metal-oxide semiconductor) 트랜지스터(MN1), 전원전압(VDD)이 공급되는 라인, 가상 기저전압(VSSV) 라인 및 기저전압(VSS)이 공급되는 라인을 포함한다. 상기 파워 게이팅 회로에 인가되는 전원 소스는 전원전압(VDD)과 기저전압(VSS)이고, 가상 기저전압(VSSV)은 상기 NMOS 트랜지스터를 통해서 인가되는 전원이다. 상기 논리 회로의 논리 소자들은 낮은 전원 전압(예를 들어 1V 정도)에서도 빠른 동작을 얻기 위해, 낮은 문턱 전압을 가지는 MOS 트랜지스터들을 이용하여 구현된다. 일반적으로 MOS 트랜지스터의 문턱 전압이 낮아지면 드레인 전류가 증가하기 때문에 낮은 문턱 전압을 가진 트랜지스터를 이용한 논리 회로는 더 빠른 속도로 스위칭 할 수 있다. 그러나, 한편으로는 MOS 트랜지스터의 문턱 전압이 낮아지면 낮은 전원 전압(예를 들어 1V 정도)에서 누설 전류가 급증하므로 대기 모드에서 누설 전류를 차단할 수단이 필요하다. 따라서 상기 누설 전류를 제어하기 위해서 높은 문턱 전압을 갖는 전류 스위치(MN1)를 사용한다.
- <21> 전류 스위치로 사용되는 상기 NMOS 트랜지스터는 슬립모드 제어신호의 반전 신호(/SLEEP)에 응답하여 제어된다. 정상 동작 모드에서는 상기 NMOS 트랜지스터가 턴 온 되어 가상 기저전압이 기저전압에 연결되어 회로가 동작 한다. 반면, 대기 모드에서는 상기 NMOS 트랜지스터가 턴 오프 되어 누설 전류를 줄인다. 따라서 파워 게이팅을 적용하여 반도체 장치를 설계한다면, 대기 모드에서 상기 반도체 장치의 전력 소모를 크게 줄일 수 있다. 상기 NMOS 트랜지스터는 문턱 전압이 높고 트랜지스터의 크기가 회로의 전체 트랜지스터의 합보다 작기 때문에 턴 오프시 큰 저항 값을 갖는다. 따라서 턴 오프시 가상 기저전압은 천천히 올라가게 되어, 최종적으로 전원전압에 가까운 값을 갖는다. 즉, 회로에서 트랜지스터의 기생 커패시터를 포함한 모든 커패시터가 충전되는 것을 의미한다. 상기 충전된 전하들은 회로의 동작을 위해서 상기 NMOS 트랜지스터가 턴 온 될 때, 방전되어야 한다. 상기 충전된 전하들이 전부 방전되어 가상 기저전압이 기저전압에 가까워질 때, 회로는 새로운 입력을 받아들여 동작할 수 있기 때문에, 기존의 파워 게이팅 회로의 활동 모드로의 전환 속도는 느리다. 이러한 파워 게이팅의 느린 전환 속도를 극복하기 위하여 지그재그 파워 게이팅 기술이 제안되었다.

- <22> 도 2는 종래의 지그재그 파워 게이팅이 적용된 회로를 나타내는 도면이다.
- <23> 도 2를 참조하면, PMOS(P-channel metal-oxide semiconductor) 트랜지스터(MP1), NMOS(N-channel metal-oxide semiconductor) 트랜지스터(MN1), 전원전압(power voltage)이 공급되는 라인(20), 가상 전원전압(virtual power voltage) 라인(40), 가상 기저전압(virtual ground voltage) 라인(60), 및 기저전압(ground voltage)이 공급되는 라인(80)을 포함한다. 상기 지그재그 파워 게이팅 회로에 인가되는 전원 소스는 전원전압(VDD)과 기저전압(VSS)이고, 가상 전원전압(VDDV)과 가상 기저전압(VSSV)은 각각 상기 PMOS 트랜지스터와 상기 NMOS 트랜지스터를 통해서 인가되는 전원이다. 슬립 벡터(SLEEP VECTOR)와 상기 트랜지스터들은 슬립모드 제어신호(SLEEP) 또는 슬립모드 제어신호의 반전 신호(/SLEEP)에 응답하여 제어 된다. 정상 동작 모드에서는 입력 데이터가 (INPUTS) 상기 논리 회로(10)에 인가되어 동작한다. 반면, 대기 모드에서는 미리 결정된 슬립 벡터(SLEEP VECTOR)가 상기 논리 회로(10)에 인가되며, 상기 PMOS 트랜지스터 및 상기 NMOS 트랜지스터가 턴 오프 되어 누설 전류를 줄인다.
- <24> 상기 논리 회로(10)의 논리 소자들(11, 13, 15)은 가상 전원전압 라인(40) 및 가상 기저전압 라인(60)에 각각 연결되어, 가상 전원전압과 가상 기저전압을 공급받아 동작한다. 상기 논리 소자들(11, 13, 15)은 대기 모드에서 논리회로에 인가되는 상기 슬립 벡터(SLEEP VECTOR)에 의해서 어떤 종류의 전원전압과 기저전압에 연결되는지 결정된다. 예를 들어 상기 논리 회로(10)의 인버터(11)를 살펴보면, 도 2에서 인버터(11)는 대기 모드일 때 입력되는 슬립 벡터(1인 경우)에 의해서 0의 출력을 갖는다. 상기 인버터(11)는 상기 PMOS 트랜지스터의 드레인(가상 전원전압 라인(40))에 연결되어 있다. 상기 인버터(11)의 누설 전류는 입력 값에 의해서 인버터를 구성하는 PMOS 트랜지스터(미도시)에서 발생하기 때문에 대기 모드에서 상기 PMOS 트랜지스터를 턴 오프 시키면 누설 전류를 효과적으로 줄일 수 있다. 동시에 상기 인버터(11)를 구성하는 NMOS 트랜지스터(미도시)는 기저전압이 공급되는 라인(80)에 직접 연결되어 있기 때문에 대기 모드에서 상기 PMOS 트랜지스터와 상기 NMOS 트랜지스터가 턴 오프 되어도 출력 값이 유지된다. 따라서 지그재그 파워 게이팅이 적용된 파워 네트워크는 대기 모드에서 출력을 유지 할 수 있기 때문에, 파워 게이팅과 달리 대기 모드에서 정상 동작 모드로 전환되는 속도가 빠르다.
- <25> 도 2와 같이 각 논리 소자들(11, 13, 15)은 출력 값에 따라서 서로 다른 전압(가상 전원전압(VDDV)과 기저전압(VSS) 또는 전원전압(VDD)과 가상 기저전압(VSSV))에 연결되어 있다. 따라서 표준셀을 이용하는 경우에는 인접하는 셀들 간의 단락(Short)의 문제로 인해 기존의 세미 커스텀(semi-custom) 설계 방식으로 파워 네트워크를 구현하는 것이 용이하지 않고, 따라서 풀 커스텀(full-custom) 설계 방식으로만 구현 되어왔다. 그러나 풀 커스텀 설계 방식은 VLSI(Very Large Scale Integration) 회로의 구현에 비 효율적이기 때문에 표준 셀 기반의 세미 커스텀 설계 방식을 통해 구현 가능한 지그재그 파워 게이팅이 적용된 파워 네트워크가 요구된다.

발명이 이루고자 하는 기술적 과제

- <26> 상기와 같은 문제점을 해결하기 위하여, 본 발명은 전력 소모가 적고 일반 표준셀을 기반으로 하여 세미 커스텀 방식의 구현에 용이하도록 지그재그 파워 게이팅이 적용된 파워 네트워크 및 파워 네트워크 설계 방법을 제공하는 것을 일 목적으로 한다.
- <27> 또한, 본 발명은 상기 파워 네트워크를 포함하는 반도체 장치 및 반도체 장치 설계 방법을 제공하는 것을 일 목적으로 한다.
- <28> 나아가, 본 발명은 면적과 배선 길이가 최소화 되도록 논리소자 및 D형 플립플롭을 배치하는 반도체 장치 및 반도체 장치 설계 방법을 제공하는 것을 일 목적으로 한다.

발명의 구성 및 작용

- <29> 상기 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 파워 네트워크는 하나 이상의 제 1 레일 쌍 및 하나 이상의 제 2 레일 쌍을 포함한다.
- <30> 상기 하나 이상의 제 1 레일 쌍은 전원전압을 공급하는 전원전압 라인 및 근접하는 다른 레일 쌍의 기저전압 라인과 제 1 파워 게이팅 회로를 통하여 연결된 가상 기저전압 라인을 포함한다. 상기 하나 이상의 제 2 레일 쌍은 근접하는 다른 레일 쌍의 전원전압 라인과 제 2 파워 게이팅 회로를 통하여 연결된 가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인을 포함한다.
- <31> 상기 제 1 파워 게이팅 회로는 슬립모드 제어신호의 반전신호에 응답하여, 상기 근접하는 다른 레일 쌍의 기저전압 라인과 상기 가상 기저전압 라인의 연결을 스위칭하는 NMOS(N-channel metal-oxide semiconductor) 트랜

지스터일 수 있다.

- <32> 상기 제 2 파워 게이팅 회로는 상기 슬립모드 제어신호에 응답하여, 상기 근접하는 다른 레일 쌍의 전원전압 라인과 상기 가상 전원전압 라인의 연결을 스위칭하는 PMOS(P-channel metal-oxide semiconductor) 트랜지스터일 수 있다.
- <33> 상기 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 파워 네트워크 설계 방법은 전원전압을 공급하는 전원전압 라인 및 가상 기저전압 라인으로 이루어진 하나 이상의 제 1 레일 쌍을 배치하는 단계, 가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인으로 이루어진 하나 이상의 제 2 레일 쌍을 배치하는 단계, 상기 가상 기저전압 라인과 근접하는 다른 레일 쌍의 기저전압 라인을 NMOS(N-channel metal-oxide semiconductor) 트랜지스터로 연결하는 단계, 및 상기 가상 전원전압 라인과 근접하는 다른 레일 쌍의 전원전압 라인을 PMOS(P-channel metal-oxide semiconductor) 트랜지스터로 연결하는 단계를 포함한다.
- <34> 상기 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 반도체 장치는 복수의 행을 이루는 표준셀들, 하나 이상의 제 1 레일 쌍, 및 하나 이상의 제 2 레일 쌍을 포함하다.
- <35> 상기 하나 이상의 제 1 레일 쌍은 상기 복수의 행들 중에서 하나 이상의 제 1 행의 상부에 각각 형성되며, 전원전압을 공급하는 전원전압 라인 및 근접하는 다른 레일 쌍의 기저전압 라인과 제 1 파워 게이팅 회로를 통하여 연결된 가상 기저전압 라인을 포함한다.
- <36> 상기 하나 이상의 제 2 레일 쌍은 상기 복수의 행들 중에서 상기 하나 이상의 제 1 행을 제외한 제 2 행의 상부에 각각 형성되며, 근접하는 다른 레일 쌍의 전원전압 라인과 제 2 파워 게이팅 회로를 통하여 연결된 가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인을 포함한다.
- <37> 상기 제 1 파워 게이팅 회로는 상기 표준셀들 중 하나에 형성되고, 슬립모드 제어신호의 반전신호에 응답하여 상기 근접하는 다른 레일 쌍의 기저전압 라인과 상기 가상 기저전압 라인의 연결을 스위칭하는 NMOS(N-channel metal-oxide semiconductor) 트랜지스터일 수 있다.
- <38> 상기 제 2 파워 게이팅 회로는 상기 표준셀들 중 하나에 형성되고, 상기 슬립모드 제어신호에 응답하여 상기 근접하는 다른 레일 쌍의 전원전압 라인과 상기 가상 전원전압 라인의 연결을 스위칭하는 PMOS(P-channel metal-oxide semiconductor) 트랜지스터일 수 있다.
- <39> 상기 반도체 장치의 면적을 최소화하기 위하여 상기 하나 이상의 제 1 행에만 D형 플립플롭(flip-flop)을 배치할 수 있다.
- <40> 상기 반도체 장치의 배선을 최소화하기 위하여 상기 D형 플립플롭과 연결되는 논리 소자는 상기 하나 이상의 제 1 행에 배치되고, 상기 논리 소자의 출력 값에 따라 슬립 벡터를 입력받을 수 있다.
- <41> 상기 D형 플립플롭 및 상기 논리 소자가 배치된 표준셀들의 면적에 비례하여 상기 하나 이상의 제 1 행 및 상기 하나 이상의 제 2 행의 수를 조정할 수 있다.
- <42> 상기 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 반도체 장치 설계방법은 슬립벡터를 결정하는 단계, 상기 슬립벡터에 의해 결정되는 논리소자들의 출력 값에 따라 상기 논리소자들을 복수의 행으로 나열하는 단계, 상기 복수의 행들 중에서 출력이 1인 논리소자가 배치된 하나 이상의 제 1 행의 상부에 전원전압을 공급하는 전원전압 라인 및 가상 기저전압 라인으로 이루어진 하나 이상의 제 1 레일 쌍을 각각 배치하는 단계, 상기 복수의 행들 중에서 상기 제 1 행을 제외한 제 2 행의 상부에 가상 전원전압 라인 및 기저전압을 공급하는 기저전압 라인으로 이루어진 하나 이상의 제 2 레일 쌍을 각각 배치하는 단계, 상기 가상 기저전압 라인과 근접하는 다른 레일 쌍의 기저전압 라인을 NMOS(N-channel metal-oxide semiconductor) 트랜지스터로 각각 연결하는 단계, 및 상기 가상 전원전압 라인과 근접하는 다른 레일 쌍의 전원전압 라인을 PMOS(P-channel metal-oxide semiconductor) 트랜지스터로 각각 연결하는 단계를 포함한다.
- <43> 상기 반도체 장치의 면적을 최소화하기 위하여 상기 하나 이상의 제 1 행에만 D형 플립플롭(flip-flop)을 배치하는 단계를 더 포함할 수 있다.
- <44> 상기 반도체 장치의 배선을 최소화하기 위하여 상기 D형 플립플롭과 연결되는 논리 소자를 상기 하나 이상의 제 1 행에 배치하는 단계를 더 포함할 수 있다.
- <45> 상기 D형 플립플롭 및 상기 논리 소자가 배치된 표준셀들의 면적에 비례하여 상기 하나 이상의 제 1 행 및 상기 하나 이상의 제 2 행의 수를 조정하는 단계를 포함할 수 있다.

- <46> 따라서, 파워 게이팅이 적용된 파워 네트워크 및 파워 네트워크 설계 방법을 적용하여 전력 소모가 적고, 표준 셀을 기반으로 한 반도체 장치를 설계할 수 있다. 또한 면적과 배선 길이가 최소화 되도록 반도체 장치를 설계할 수 있다.
- <47> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안될 것이다.
- <48> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- <49> 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- <50> 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- <51> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <52> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <53> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- <54> 도 3은 본 발명의 일 실시예에 따른 파워 네트워크 및 이를 포함하는 반도체 장치를 나타낸 도면이다.
- <55> 삭제
- <56> 도 3를 참조하면, 반도체 장치는 표준셀, 제1 레일 쌍 및 제2 레일 쌍을 포함한다. 지그재그 파워 게이팅이 적용된 파워 네트워크는 제 1 레일 쌍(1000) 및 제 2 레일 쌍(2000)을 포함한다. 상기 제 1 레일 쌍(1000) 및 제 2 레일 쌍(2000)은 하나 이상 일 수 있다.
 상기 제 1 레일 쌍(1000)은 전원전압 라인(1200) 및 가상 기저전압 라인(1300)을 포함한다. 상기 전원전압 라인(1200)은 전원전압(VDD)을 공급하는 라인이며, 상기 가상 기저전압 라인(1300)은 근접하는 다른 레일 쌍의 기저전압 라인과 제 1 파워 게이팅 회로(1100)를 통하여 연결된 라인이다.
 상기 제2 레일 쌍(2000)은 가상 전원전압 라인(2200) 및 기저전압 라인(2000)을 포함한다. 상기 가상 전원전압 라인(2200)은 근접하는 다른 레일 쌍의 전원전압 라인과 제 2 파워 게이팅 회로(2100)를 통하여 연결된 라인이며, 상기 기저전압 라인(2300)은 기저전압(VSS)을 공급하는 기저전압 라인이다.
 상기 제 1 파워 게이팅 회로(1100)는 NMOS(N-channel metal-oxide semiconductor) 트랜지스터를 포함할 수 있다. 상기 제 2 파워 게이팅 회로(2100)는 PMOS(P-channel metal-oxide semiconductor) 트랜지스터를 포함할 수

있다.

상기 제 1 파워 게이팅 회로(1100)는 슬립모드 제어신호의 반전신호에 응답하여 상기 가상 기저전압 라인(1300)과 기저전압을 공급하는 기저전압 라인(2300)의 연결을 전기적으로 연결하거나 차단하는 전류 스위치 역할을 한다. 상기 제 2 레일 쌍(2000)의 가상 전원전압 라인(2200)은 제 2 파워 게이팅 회로(2100)에 의해 상기 제 1 레일 쌍(1000)의 전원전압을 공급하는 전원전압 라인(1200)과 연결되어 가상 전원전압을 공급한다.

상기 제 2 파워 게이팅 회로(2100)는 슬립모드 제어신호에 응답하여 상기 가상 전원전압 라인(2200)과 전원전압 라인(1200)의 연결을 전기적으로 연결하거나 차단하는 전류 스위치 역할을 한다.

상기 복수의 제 1 레일 쌍과 제 2 레일 쌍은 규칙적으로 반복될 수 있지만, 아래에서 살펴볼 바와 같이, 반도체 설계시에 필요에 따라 2~3행에 한번씩 불규칙적으로 반복 될 수도 있다.

<57> 상기 파워 네트워크는 하나의 레일 쌍이 전원전압 라인과 가상 기저전압 라인의 쌍 또는 가상 전원전압 라인과 기저전압 라인의 쌍을 하나씩 포함하므로, 기존의 표준셀을 기반으로 구현할 수 있다.

도 3에서 사각형으로 표시한 셀 각각은 하나의 표준셀을 나타낸다. 상기 파워 네트워크는 제 1 파워 게이팅 회로(1100)와 제 2 파워 게이팅 회로(2100)의 MOS 트랜지스터의 문턱전압을 비교적 높게 설정하여, 정상 동작 모드에서는 MOS 트랜지스터를 턴 온 시켜 전원전압(또는 기저전압)을 문턱전압이 비교적 낮은 논리회로(미도시)에 공급함으로써 논리회로의 동작속도를 향상시키고, 대기 모드에서는 MOS 트랜지스터를 턴 오프시켜 논리회로에 공급되는 전원전압(또는 기저전압)을 차단함으로써 논리회로의 누설전류를 줄일 수 있다. 따라서 본 발명의 파워 네트워크를 적용한 반도체 장치는 정상 동작 모드에서의 동작 속도를 향상시키면서, 동시에 대기 모드에서 누설 전류를 억제하여 전력 소모를 줄이는 데 효과적이다.

<58> 또한, 본 발명의 파워 네트워크를 이용한다면, 기존의 표준셀을 기반으로 하여 세미 커스텀 방식으로 반도체 장치를 설계 할 수 있다. 이는 기존에 셀 간의 단락(short) 문제 때문에 반도체 장치를 풀 커스텀 방식으로 설계했던 것에 비해 비용, 시간 및 설계자의 노력을 경감시킨다.

<59> 또한, 복수개의 제 1 레일 쌍들 및 제 2 레일 쌍들은 규칙적으로 배열하거나 또는 필요에 따라 행의 수를 조절하여 배열할 수 있으며 논리 소자나 저장 장치들을 자유롭게 배치 할 수 있는 이점이 있다. 예를 들어 도 2에 도시된 것과 같은 논리소자들(11, 13, 15)을 본 발명의 실시예에 따른 반도체 장치에 배치한다면, 상기 인버터(11)는 가상 전원전압(VDDV)과 기저전압(VSS)을 공급 받아야 하므로, 제 2 레일 쌍에 배치되는 것이 적합할 것이다. 마찬가지로 NAND 게이트(13)는 제 1 레일 쌍에, NOR 게이트(15)는 제 2 레일 쌍에 배치되는 것이 적합할 것이다. 반도체 장치는 복수 개의 제 1 레일 쌍과 제 2 레일 쌍을 가지고 있고, 이 행들이 규칙적으로 배열되어 있기 때문에, 논리소자는 비교적 자유롭게 배치될 수 있다.

<60> 도 4는 본 발명의 일 실시예에 따른 반도체 장치에 배치되는 저장장치의 하나인 D형 플립플롭을 나타낸 도면이다.

<61> 본 발명의 파워 네트워크를 적용한 반도체 장치에 있어서, 대기 모드에서 저장 장치의 일부는 0 또는 1의 데이터를 저장 하여야 하므로 전원전압(VDD)과 기저전압(VSS)에 연결된다. 또한 저장 장치 내에서 데이터 유지와 관련 없는 부분은 제 2 파워 게이팅 회로 또는 제 1 파워 게이팅 회로에 연결되어 누설 전류를 감소시킨다.

<62> 도 3 및 도 4를 참조하면, 반도체 장치에 포함되는 저장 장치의 일 예로서 D형 플립플롭은 마스터 래치(MASTER LATCH)와 슬레이브 래치(SLAVE LATCH)로 이루어져 있다. 마스터 래치(MASTER LATCH)는 제 1 인버터(100), 제 2 인버터(200) 및 제 3 인버터(300)를 포함한다. 상기 제 1 인버터(100) 및 제 2 인버터(200)는 직렬로 연결되어 있고, 상기 제 3 인버터(300)는 상기 제 2 인버터(200)에 피드백 형태로 연결되어 있다.

도 4의 플립플롭은 대기 모드에서 입력단자(D)에 0이 입력되는 경우의 D형 플립플롭으로서, 상기 마스터 래치(MASTER LATCH)의 상기 제 1 인버터(100) 및 제 3 인버터(300)의 게이트 단자들은 전원전압 라인과 가상 기저전압 라인에 연결되고, 상기 제 2 인버터(200)의 게이트 단자는 가상 전원전압 라인과 기저전압 라인에 연결된다.

상기 게이트 단자와 연결되는 라인들은 상기 도 3의 제 1 레일 쌍 및 제 2 레일 쌍을 지나는 전원전압(VDD), 기저전압(VSS), 가상 전원전압(VDDV), 및 가상 기저전압(VSSV)에 해당한다. 따라서 데이터 유지와 관계없는 상기 마스터 래치(MASTER LATCH)가 대기 모드에서 제 2 파워 게이팅 회로(2100) 또는 제 1 파워 게이팅 회로(1100)와 연결되므로 누설 전류를 줄일 수 있다.

<63> 다른 실시예에서, 대기 모드에서 상기 입력단자(D)에 1이 입력되는 D형 플립플롭인 경우에는 인버터들에 연결되

는 전원 라인들이 상기 전원 라인들과 반대로 연결된 마스터 래치(MASTER LATCH)가 된다. 이 경우 상기 마스터 래치(MASTER LATCH)의 상기 제 1 인버터(100) 및 제 3 인버터(300)의 전원 단자 들은 가상 전원전압 라인과 기저전압 라인에 연결되고, 상기 제 2 인버터(200)의 게이트 단자는 전원전압 라인과 가상 기저전압 라인에 연결 된다.

<64> 입력 받은 데이터를 유지하는 상기 슬레이브 래치(SLAVE LATCH)는 제 4 인버터(400), 제 5 인버터(500) 및 제 6 인버터(600)를 포함한다. 상기 제 4 인버터(400) 및 제 5 인버터(500)는 직렬로 연결되고, 상기 제 6 인버터(600)는 상기 제 4 인버터(400)와 피드백으로 연결된다. 상기 제 4 인버터(400), 제 5 인버터(500) 및 제 6 인버터(600)의 게이트 단자들은 모두 전원전압 라인과 기저전압 라인에 연결 된다.

<65> 상기 도 4의 슬레이브 래치(SLAVE LATCH)가 데이터를 유지하기 위해서 클럭은 논리 로우, 즉 0의 값으로 유지되어야 한다(CLK=0). 본 발명의 파워 네트워크에서 저장 장치인 D형 플립플롭은 전원전압(VDD), 기저전압(VSS), 가상 전원전압(VDDV), 및 가상 기저전압(VSSV)으로 이루어진 네 종류의 파워를 필요로 한다. 그러나 기존의 표준셀 형태의 D형 플립플롭은 전원전압(VDD) 및 기저전압(VSS) 단자만을 갖기 때문에, 본 발명에서는 배선을 통한 저장 장치의 파워 연결을 제안한다.

<66> 도 5는 본 발명의 일 실시예에 따른 반도체 장치에서 D형 플립플롭을 제 2 레일 쌍에 배치한 경우에 D형 플립플롭과 그 외의 셀 간의 n-well 분리를 나타낸 도면이다.

<67> 본 발명의 파워 네트워크를 이용하면 도 3에서 예시 된 것처럼 D형 플립플롭은 배선을 통하여 가까운 전원전압(VDD), 기저전압(VSS), 가상 전원전압(VDDV), 및 가상 기저전압(VSSV)을 공급 받을 수 있다. 따라서 상기 D형 플립플롭은 자유롭게 배치 가능하다.

제 2 레일 쌍에 배치되는 표준셀들의 n-well은 가상 전원전압(VDDV)에 연결 되는데, 가상 전원전압(VDDV)은 대기 모드에서 전원전압(VDD)보다 낮은 전압을 갖는다. 따라서 제 2 레일 쌍에 D형 플립플롭을 배치한다면 D형 플립플롭을 구성하는 PMOS 트랜지스터의 바디(n-well)가 가상 전원전압(VDDV)에 연결되므로, 소스 전압(VDD) 보다 낮은 바디 전압 때문에 D형 플립플롭에 있는 상기 PMOS 트랜지스터의 문턱전압이 감소하게 된다. 따라서 슬레이브 래치(SLAVE LATCH)에서 누설 전류가 증가될 수 있다.

따라서 제 2 레일 쌍에 배치된 D형 플립플롭의 누설 전류의 증가를 막기 위해서는 n-well을 전원전압(VDD)에 연결해야하기 때문에 도 5와 같이 D형 플립플롭이 배치된 셀의 n-well을 이웃하는 셀들의 n-well과 분리해야 한다. 도 5의 'A', 'B', 'C'는 제 2 레일 쌍에 놓인 D형 플립플롭이 배치된 셀과 이웃하는 셀 간의 n-well 분리를 위한 공간을 나타내는 것으로 반도체 장치의 면적을 증가시킨다. 따라서 D형 플립플롭을 제 1 레일 쌍에만 배치하면 반도체 장치의 면적을 줄일 수 있다.

<68> 도 6는 본 발명의 일 실시예에 따른 반도체 장치에서 D형 플립플롭을 제 1 레일 쌍에만 배치한 경우에 D형 플립플롭과 그 외의 셀 간의 n-well 분리가 필요 없음을 나타낸 도면이다.

<69> 도 6을 참조하면, D형 플립플롭을 제 1 레일 쌍에만 배치하여, 도 5와 같이 셀간의 n-well 분리를 위해서 낭비 되는 공간을 줄일 수 있다. 본 발명의 파워 네트워크를 이용한 반도체 장치는 D형 플립플롭을 제 1 레일 쌍에만 배치하는 경우 D형 플립플롭을 포함하는 표준셀들의 면적을 고려하여 전체 제 1 레일 쌍과 제 2 레일 쌍의 수를 조정할 수 있다.

<70> 도 7은 D형 플립플롭과 연결되는 논리 소자의 배치를 설명하기 위한 도면이다.

<71> 도 6에서처럼 D형 플립플롭을 제 1 레일 쌍에만 배치하는 경우 반도체 장치의 면적을 줄일 수 있으나, D형 플립플롭과 연결된 배선의 길이를 증가 시킬 수 있다. 따라서 도 7에서 D형 플립플롭의 입력단과 출력단에 연결된 논리 소자들이 제 2 레일 쌍의 표준셀에 배치 될수록 배선 길이가 증가 한다. 논리 소자를 포함한 표준셀의 배치는 슬립 벡터에 의한 출력 값에 의해 결정 되므로, 배선 길이의 증가를 최소화 하기 위해서 D형 플립플롭과 연결된 논리소자를 최대한 제 1 레일 쌍에 배치하고, 원하는 논리 소자의 출력에 맞추어 슬립 벡터를 정한다. 이로써 반도체 장치의 배선을 최소화 할 수 있다.

발명의 효과

<72> 상술한 바와 같이, 본 발명의 일 실시예에 따른 지그재그 파워 게이팅을 적용한 파워 네트워크 및 파워 네트워크 설계 방법은 전력 소모를 줄일 수 있다.

<73> 또한, 본 발명의 일 실시예에 따른 지그재그 파워 게이팅을 적용한 파워 네트워크를 포함하는 반도체 장치 및

반도체 장치 설계 방법은 표준셀을 이용하여 구현할 수 있으므로 세미 커스텀 방식으로 설계 가능하며, 전력 소모를 줄일 수 있다.

<74> 나아가 본 발명의 일 실시예에 따른 지그재그 파워 게이팅을 적용한 파워 네트워크를 포함하는 반도체 장치 및 반도체 장치 설계 방법은 반도체 장치의 면적과 배선길이가 최소화 되도록 논리 소자 및 D형 플립플롭을 배치할 수 있다.

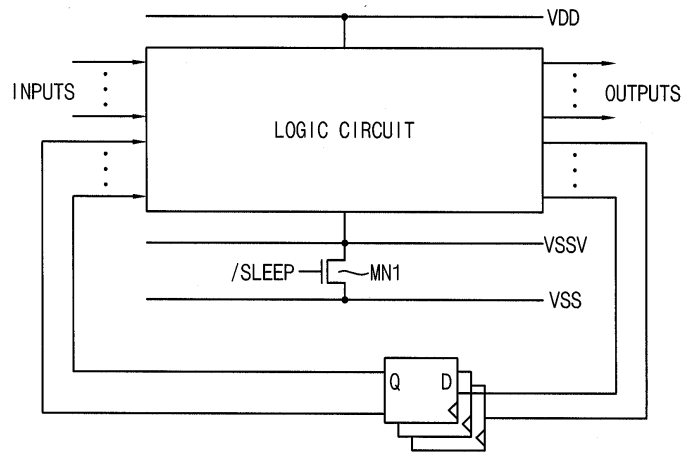
<75> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

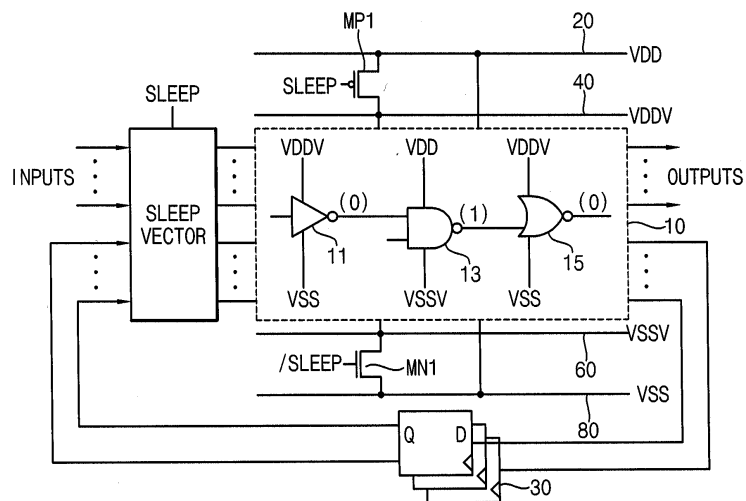
- <1> 도 1은 종래의 파워 게이팅이 적용된 회로를 나타내는 도면이다.
- <2> 도 2는 종래의 지그재그 파워 게이팅이 적용된 회로를 나타내는 도면이다.
- <3> 도 3은 본 발명의 일 실시예에 따른 파워 네트워크 및 이를 포함하는 반도체 장치를 나타낸 도면이다.
- <4> 도 4는 본 발명의 일 실시예에 따른 반도체 장치에 배치되는 저장장치의 하나인 D형 플립플롭을 나타낸 도면이다.
- <5> 도 5는 본 발명의 일 실시예에 따른 반도체 장치에서 D형 플립플롭을 제 2 레일 쌍에 배치한 경우에 D형 플립플롭과 그 외의 셀 간의 n-well 분리를 나타낸 도면이다.
- <6> 도 6은 본 발명의 일 실시예에 따른 반도체 장치에서 D형 플립플롭을 제 1 레일 쌍에만 배치한 경우에 D형 플립플롭과 그 외의 셀 간의 n-well 분리가 필요 없음을 나타낸 도면이다.
- <7> 도 7은 D형 플립플롭과 연결되는 논리 소자의 배치를 설명하기 위한 도면이다.
- <8> <도면의 주요 부분에 대한 부호의 설명>
- <9> SLEEP : 슬립모드 제어신호
- <10> /SLEEP : 슬립모드 제어신호의 반전신호
- <11> VDD : 전원전압
- <12> VDDV : 가상 전원전압
- <13> VSS : 기저전압
- <14> VSSV : 가상 기저전압
- <15> F/F : 플립플롭

도면

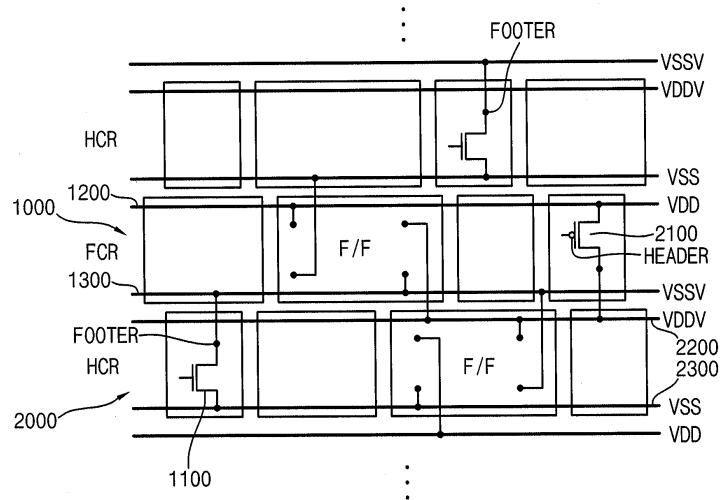
도면1



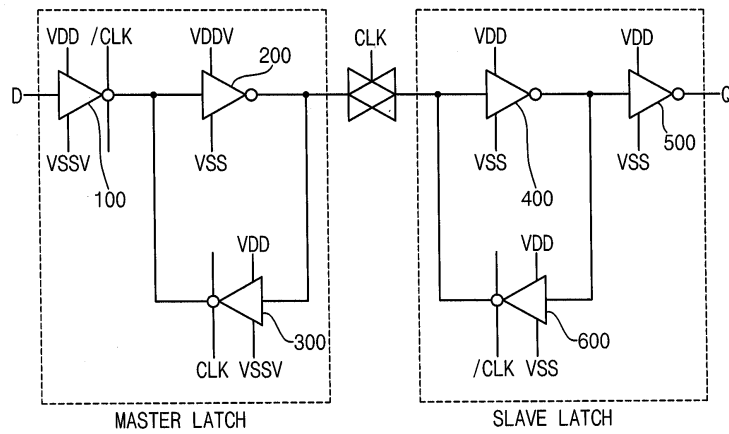
도면2



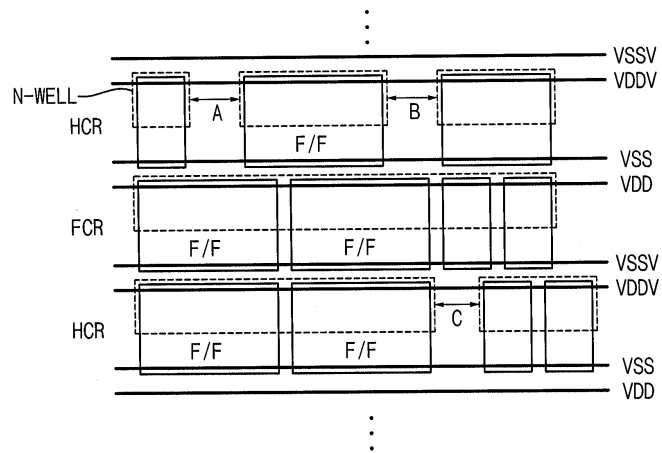
도면3



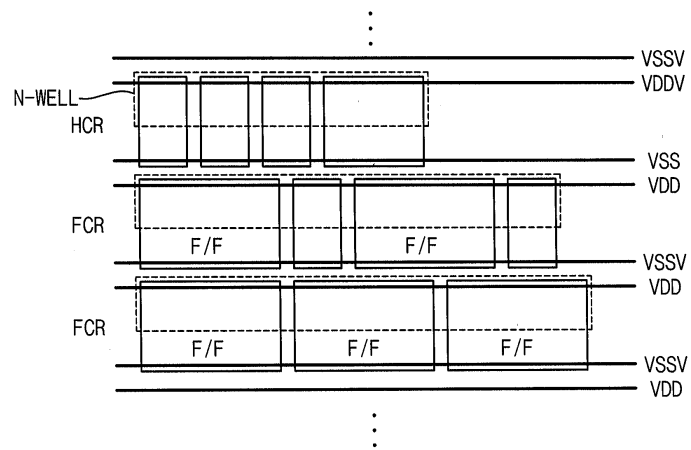
도면4



도면5



도면6



도면7

