



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년10월26일
(11) 등록번호 10-0989899
(24) 등록일자 2010년10월19일

(51) Int. Cl.

H03K 17/28 (2006.01)

(21) 출원번호 10-2008-0117863

(22) 출원일자 2008년11월26일

심사청구일자 2008년11월26일

(65) 공개번호 10-2010-0059184

(43) 공개일자 2010년06월04일

(56) 선행기술조사문헌

JP07192025 A

JP10133768 A

JP2000082090 A

JP2008245164 A

(73) 특허권자

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

신영수

대전광역시 유성구 구성동 한국과학기술원 나노 SoC 빌딩 s204호

이혜인

대전광역시 유성구 구성동 한국과학기술원 전기및 전자공학과

백승훈

대전광역시 유성구 구성동 한국과학기술원 전기및 전자공학과

(74) 대리인

박영우

전체 청구항 수 : 총 10 항

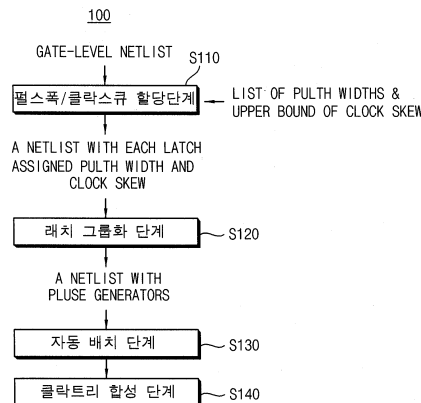
심사관 : 강현일

(54) 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법 및 장치

(57) 요약

펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법이 개시된다. 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법은 최소의 클럭 주기에서 순차 회로가 동작 될 수 있도록 복수의 래치들 각각에 펄스폭 및 클럭 스큐를 할당하는 단계, 동일한 펄스폭이 할당된 복수의 래치들을 그룹화 하여 래치 그룹을 만들고 이 그룹을 펄스 발생기에 할당하는 단계, 펄스 발생기와 래치 그룹을 물리적으로 인접하게 배치하기 위해 펄스 발생기와 래치 그룹간의 연결에 가중치를 주어 회로배치 및 라우팅을 하는 자동 배치 단계 및 할당된 클럭 스큐를 구현하기 위한 클럭 트리를 합성하는 단계를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

최소의 클락 주기에서 순차 회로가 동작될 수 있도록, 상기 순차 회로에 포함되는 복수의 래치(latch)들 각각에 펄스폭(pulse width) 및 클락 스큐(clock skew)를 동시에 할당하는 펄스폭 및 클락스큐 할당 단계;

동일한 펄스폭이 할당된 상기 복수의 래치들을 그룹화 하여 래치 그룹을 만들고, 상기 펄스폭에 해당하는 펄스를 발생시키는 펄스 발생기에 상기 래치 그룹을 할당하는 래치 그룹화 단계;

상기 펄스 발생기와 상기 래치 그룹을 물리적으로 인접하게 배치하기 위해 상기 펄스 발생기와 상기 래치 그룹 간의 연결에 가중치(net weight)를 주어 회로 배치(placement) 및 라우팅(routing)을 하는 자동 배치 단계; 및 상기 할당된 클락 스큐를 구현하기 위한 클락 트리를 합성하는 클락 트리 합성 단계를 포함하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 2

제1항에 있어서, 상기 펄스폭 및 클락스큐 할당 단계는,

미리 정의된 펄스폭들 중에서 하나의 펄스폭을 상기 복수의 래치들 각각에 할당하고, 미리 정의된 최대 허용 클락 스큐 범위 내의 클락 스큐를 상기 복수의 래치들 각각에 할당하는 것을 특징으로 하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 3

제2항에 있어서, 상기 펄스폭 및 클락스큐 할당 단계는,

사용 가능한 최대 클락 주기와 최소 클락 주기 사이에서, 상기 순차 회로에 적용 가능한 최소의 클락 주기를 결정하는 단계; 및

상기 결정된 최소의 클락 주기 하에서, 상기 복수의 래치들 각각의 셋업타임(setup time)에 대한 제약 조건을 만족시키도록 상기 복수의 래치들 각각에 펄스폭 및 클락 스큐를 할당하는 단계를 포함하는 것을 특징으로 하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 4

제3항에 있어서, 상기 사용 가능한 최대 클락 주기는,

상기 순차 회로를 구성하는 복수의 펄스 래치 각각의 지연시간들 중에서 최대의 지연시간으로 결정하고,

상기 사용 가능한 최소 클락 주기는,

상기 순차 회로를 구성하는 모든 피드백 펄스 래치들의 지연시간들 중에서 최대의 지연시간과, 상기 순차 회로를 구성하는 피드백 펄스 래치가 아닌 모든 펄스 래치의 지연시간들 중에서 최소의 지연시간을 비교하여, 큰 값으로 결정하는 것을 특징으로 하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 5

제4항에 있어서, 상기 최소의 클락 주기를 결정하는 단계는,

이진 검색(binary search) 알고리즘을 사용하여, 상기 복수의 래치들 각각의 셋업타임에 대한 제약 조건을 만족시키도록 하는, 상기 복수의 래치들 각각의 펄스폭 및 클락 스큐가 존재하는 클락 주기들 중에서 최소의 클락 주기로 결정하는 것을 특징으로 하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 6

제1항에 있어서, 상기 래치 그룹화 단계는,

동일한 펄스폭이 할당된 상기 복수의 래치들의 수가 미리 정의된 상기 펄스 발생기당 허용되는 최대 래치의 수를 초과하는 경우, 상기 펄스 발생기당 할당되는 상기 복수의 래치들의 수가 상기 미리 정의된 최대 래치의 수를 초과하지 않도록, 상기 복수의 래치들을 클락 스큐에 따라 오름차순으로 정렬한 뒤 여러 개의 펄스 발생기에

상기 복수의 래치들을 상기 정렬된 순서대로 균등한 개수로 할당하는 것을 특징으로 하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 7

제1항에 있어서, 상기 클락 트리 합성 단계는,

상기 할당된 클락 스큐를 래치의 클락 스큐와 펄스 발생기의 클락 스큐로 나누는 단계;

상기 펄스 발생기의 클락 스큐를 조절하는 단계; 및

상기 래치의 클락 스큐를 구현하기 위한 로컬 클락 트리 및 상기 펄스 발생기의 클락 스큐를 구현하기 위한 글로벌 클락 트리를 합성하는 단계를 포함하는 것을 특징으로 하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 8

제7항에 있어서, 상기 할당된 클락 스큐를 래치의 클락 스큐와 펄스 발생기의 클락 스큐로 나누는 단계는,

상기 래치 그룹 내에 포함되는 각각의 래치에 할당된 클락 스큐들 중에서 최소의 클락 스큐를 상기 펄스 발생기의 클락 스큐로 결정하는 단계; 및

상기 래치 그룹 내에 포함되는 각각의 래치에 할당된 클락 스큐에서 상기 최소의 클락 스큐를 뺀 값을 상기 각각의 래치의 클락 스큐로 결정하는 단계를 포함하는 것을 특징으로 하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 9

제 8항에 있어서, 상기 펄스 발생기의 클락 스큐를 조절하는 단계는,

상기 펄스 발생기로부터, 상기 래치 그룹 내에 포함되는 가장 작은 클락 스큐를 가지는 래치까지의 최소 펄스 지연시간을 측정하는 단계; 및

상기 래치 그룹들 각각에 대한 상기 최소 펄스 지연시간 중에서 최대의 지연시간과 상기 래치 그룹들 각각에 대한 상기 최소 펄스 지연시간의 차이만큼 상기 펄스 발생기의 클락 스큐를 증가시키는 단계를 포함하는 것을 특징으로 하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법.

청구항 10

최소의 클락 주기에서 순차 회로가 동작될 수 있도록, 상기 순차 회로에 포함되는 복수의 래치(latch)들 각각에 펄스폭(pulse width) 및 클락 스큐(clock skew)를 동시에 할당하는 펄스폭 및 클락스큐 할당부;

동일한 펄스폭이 할당된 상기 복수의 래치들을 그룹화 하여 래치 그룹을 만들고, 상기 펄스폭에 해당하는 펄스를 발생시키는 펄스 발생기에 상기 래치 그룹을 할당하는 래치 그룹화부;

상기 펄스 발생기와 상기 래치 그룹을 물리적으로 인접하게 배치하기 위해 상기 펄스 발생기와 상기 래치 그룹 간의 연결에 가중치를 주어 회로 배치 및 라우팅을 하는 자동 배치부; 및

상기 할당된 클락 스큐를 구현하기 위한 클락 트리를 합성하는 클락 트리 합성부를 포함하는 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법에 관한 것으로, 보다 상세하게는 펄스 래치에 입력되는 클락 펄스의 펄스폭을 펄스 래치마다 다양하게 할당하는 방법과 클락 스큐 스케줄링을 동시에 이용하여 디지털 순차 회로의 속도를 향상시키는 방법 및 장치에 관한 것이다.

배경 기술

- [0002] 디지털 로직 시스템들은, 일반적으로, 조합 회로 또는 순차 회로로 분류된다. 조합 회로는 로직 게이트들로 구성되며, 로직 게이트의 출력들은 현재의 입력 값들에 의하여 직접적으로 결정된다. 조합 회로는 일련의 불 표현들(Boolean expressions)에 의하여 논리적으로 특징지어지는 특정한 정보 처리 동작을 수행한다. 순차 회로는 로직 게이트들에 추가로 저장 소자들을 사용한다. 저장 소자들의 출력들은 입력들 및 저장 소자들의 상태의 함수이다. 저장 소자들의 상태는 이전 입력들의 함수이다. 결과적으로, 순차 회로의 출력들은 입력들의 현재 값들 뿐만 아니라 과거의 입력들에 따르며, 순차 회로의 동작은 내부 상태들 및 입력들의 시간 순서(timing sequence)에 의해서 특징지어져야 한다.
- [0003] 순차 회로에 사용되는 대표적인 저장 소자로 플립플롭(flip-flop)과 래치(latch)가 있다.
- [0004] 플립플롭은 순차 회로에 일반적으로 사용되는 저장소자로서, D 플립플롭들과 이들 사이에 연결된 조합 회로들로 구성된 모서리 동기방식(edge-triggered)의 순차 회로는 순차 회로의 가장 일반적인 형태이다. 플립플롭은 트리거 입력에 의해 상태가 변이하므로 타이밍 분석이 쉽다는 장점이 있다. 플립플롭들 사이에 연결된 조합 회로들은 플립플롭에 의해 시간적으로 서로 분리되므로, 각 조합 회로들이 타이밍 제약을 만족하는지 여부를 플립플롭에 의해 격리된 다른 조합 회로들과는 독립적으로 판단할 수 있으며, 조합 회로들의 타이밍 최적화도 플립플롭에 의해 격리된 다른 조합 회로들과는 독립적으로 할 수 있다. 그러나 플립플롭은 일반적으로 두 개의 레벨 센서티브(level-sensitive) 래치를 마스터(master)-슬레이브(slave) 방식으로 연결하여 구성되므로, 래치에 비하여 시간지연(time delay)이 크고 속도가 느리다는 단점이 있다.
- [0005] 래치를 사용하는 레벨 센서티브 순차 회로는 플립플롭을 사용하는 순차 회로에 비하여 속도가 빠르기 때문에 속도가 중요한 순차 회로 설계에 적합하다는 장점이 있다. 그러나 래치는 트리거 입력에 의해 상태가 변이하는 것이 아니라 입력값의 계속되는 변화를 지속적으로 출력 값으로 반영하기 때문에 래치들 사이에 연결된 조합 회로들은 래치에 의해 시간적으로 분리되지 않는다. 따라서 래치를 사용하는 레벨 센서티브 순차 회로는 타이밍 분석이 어렵다는 단점이 있어 자동 설계에는 부적합하다.
- [0006] 이러한 래치의 단점을 보완한 저장 소자가 펄스 래치(pulsed latch)이다. 펄스 래치는 짧은 클락 펄스에 의해 구동되는 래치로서 플립플롭보다 속도가 빠른 래치의 특성을 가지면서도 플립플롭과 같이 타이밍 분석이 쉽다는 장점이 있다.
- [0007] 시간 빌리기(time borrowing)는 조합 회로의 시간지연(time delay)이 클락 주기보다 큰 것을 허용하는 기법으로서, 래치에서는 시간 빌리기(time borrowing)가 가능하다. 그러나 종래 기술은, 펄스 래치를 사용한 순차 회로에서 모든 펄스 래치들은 하나의 동일한 짧은 펄스폭의 클락 펄스를 사용하므로, 펄스폭이 짧아서 래치의 시간 빌리기 특성을 전혀 이용하지 못한다. 따라서 순차 회로의 속도를 향상시키기 위해 클락 주기를 줄이는 것이 어렵다.
- [0008] 클락 스큐 스케줄링(clock skew scheduling)은 클락의 도착 시간을 조절하여 클락 주기를 유연하게 조정하는 기법으로서 클락 스큐 스케줄링을 사용하면 클락 주기를 줄이는 것이 가능하다. 그러나 종래의 클락 스큐 스케줄링 방법은 조합 회로들의 시간지연을 조절하기 위해 클락 스큐의 상한 제한이 없이 각 래치에 임의의 클락 스큐를 할당하는 방식으로서, 큰 클락 스큐를 정확하게 구현하는 것에 기술적인 한계가 존재하여 현실적으로 사용되기 어렵다.

발명의 내용

해결 하고자하는 과제

- [0009] 이에 따라, 본 발명의 일 목적은 펄스 래치마다 적당한 펄스폭과 클락 스큐를 할당함으로써 펄스 래치를 사용하는 디지털 순차 회로의 속도를 향상시키는 방법을 제공하는데 있다.
- [0010] 본 발명의 일 목적은 펄스 래치마다 적당한 펄스폭과 클락 스큐를 할당함으로써 펄스 래치를 사용하는 디지털 순차 회로의 속도를 향상시키는 장치를 제공하는데 있다.

과제 해결수단

- [0011] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법은 펄스폭 및 클락스큐 할당 단계, 래치 그룹화 단계, 자동 배치 단계 및 클락 트리 합성

단계를 포함한다. 상기 펄스폭 및 클락스큐 할당 단계는 최소의 클락 주기에서 순차 회로가 동작될 수 있도록, 상기 순차 회로에 포함되는 복수의 래치들 각각에 펄스폭 및 클락 스큐를 동시에 할당한다. 상기 래치 그룹화 단계는 동일한 펄스폭이 할당된 상기 복수의 래치들을 그룹화 하여 래치 그룹을 만들고, 상기 펄스폭에 해당하는 펄스를 발생시키는 펄스 발생기에 상기 래치 그룹을 할당한다. 상기 자동 배치 단계는 상기 펄스 발생기와 상기 래치 그룹을 물리적으로 인접하게 배치하기 위해 상기 펄스 발생기와 상기 래치 그룹간의 연결에 가중치(net weight)를 주어 회로 배치(placement) 및 라우팅(routing)을 한다. 상기 클락 트리 합성 단계는 상기 할당된 클락 스큐를 구현하기 위한 클락 트리를 합성한다.

[0012] 실시예에 있어서, 상기 펄스폭 및 클락스큐 할당 단계는 미리 정의된 펄스폭들 중에서 하나의 펄스폭을 상기 복수의 래치들 각각에 할당하고, 미리 정의된 최대 허용 클락 스큐 범위 내의 클락 스큐를 상기 복수의 래치들 각각에 할당할 수 있다.

[0013] 실시예에 있어서, 상기 펄스폭 및 클락스큐 할당 단계는 사용 가능한 최대 클락 주기와 최소 클락 주기 사이에서, 상기 순차 회로에 적용 가능한 최소의 클락 주기를 결정하는 단계 및 상기 결정된 최소의 클락 주기 하에서, 상기 복수의 래치들 각각의 셋업타임(setup time)에 대한 제약 조건을 만족시키도록 상기 복수의 래치들 각각에 펄스폭 및 클락 스큐를 할당하는 단계를 포함할 수 있다.

[0014] 실시예에 있어서, 상기 사용가능한 최대 클락 주기는 상기 순차 회로를 구성하는 복수의 조합 회로 각각의 지연 시간들 중에서 최대의 지연시간으로 결정하고, 상기 사용 가능한 최소 클락 주기는 상기 순차 회로를 구성하는 모든 피드백 펄스 래치들의 지연시간들 중에서 최대의 지연시간과, 상기 순차 회로를 구성하는 피드백 펄스 래치가 아닌 모든 펄스 래치의 지연시간들 중에서 최소의 지연시간을 비교하여, 큰 값으로 결정할 수 있다.

[0015] 실시예에 있어서, 상기 최소의 클락 주기를 결정하는 단계는 이진 검색(binary search) 알고리즘을 사용하여, 상기 복수의 래치들 각각의 셋업타임에 대한 제약 조건을 만족시키도록 하는, 상기 복수의 래치들 각각의 펄스폭 및 클락 스큐가 존재하는 클락 주기들 중에서 최소의 클락 주기로 결정할 수 있다.

[0016] 실시예에 있어서, 상기 래치 그룹화 단계는 동일한 펄스폭이 할당된 상기 복수의 래치들의 수가 미리 정의된 상기 펄스 발생기당 허용되는 최대 래치의 수를 초과하는 경우, 상기 펄스 발생기당 할당되는 상기 복수의 래치들의 수가 상기 미리 정의된 최대 래치의 수를 초과하지 않도록, 상기 복수의 래치들을 클락 스큐에 따라 오름차순으로 정렬한 뒤 여러 개의 펄스 발생기에 상기 복수의 래치들을 상기 정렬된 순서대로 균등한 개수로 할당할 수 있다.

[0017] 실시예에 있어서, 상기 클락 트리 합성 단계는 상기 할당된 클락 스큐를 래치의 클락 스큐와 펄스 발생기의 클락 스큐로 나누는 단계, 상기 펄스 발생기의 클락 스큐를 조절하는 단계 및 상기 래치의 클락 스큐를 구현하기 위한 로컬 클락 트리 및 상기 펄스 발생기의 클락 스큐를 구현하기 위한 글로벌 클락 트리를 합성하는 단계를 포함할 수 있다.

[0018] 실시예에 있어서, 상기 할당된 클락 스큐를 래치의 클락 스큐와 펄스 발생기의 클락 스큐로 나누는 단계는 상기 래치 그룹 내에 포함되는 각각의 래치에 할당된 클락 스큐들 중에서 최소의 클락 스큐를 상기 펄스 발생기의 클락 스큐로 결정하는 단계 및 상기 래치 그룹 내에 포함되는 각각의 래치에 할당된 클락 스큐에서 상기 최소의 클락 스큐를 뺀 값을 상기 각각의 래치의 클락 스큐로 결정하는 단계를 포함할 수 있다.

[0019] 실시예에 있어서, 상기 펄스 발생기의 클락 스큐를 조절하는 단계는 상기 펄스 발생기로부터, 상기 래치 그룹 내에 포함되는 가장 작은 클락 스큐를 가지는 래치까지의 최소 펄스 지연시간을 측정하는 단계 및 상기 래치 그룹들 각각에 대한 상기 최소 펄스 지연시간 중에서 최대의 지연시간과 상기 래치 그룹들 각각에 대한 상기 최소 펄스 지연시간의 차이만큼 상기 펄스 발생기의 클락 스큐를 증가시키는 단계를 포함할 수 있다.

[0020] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 펄스 래치를 사용하는 디지털 순차 회로의 성능 최적화 장치는 펄스폭 및 클락스큐 할당부, 래치 그룹화부, 자동 배치부 및 클락 트리 합성부를 포함한다. 상기 펄스폭 및 클락스큐 할당부는 최소의 클락 주기에서 순차 회로가 동작될 수 있도록, 상기 순차 회로에 포함되는 복수의 래치들 각각에 펄스폭 및 클락 스큐를 동시에 할당한다. 상기 래치 그룹화부는 동일한 펄스폭이 할당된 상기 복수의 래치들을 그룹화 하여 래치 그룹을 만들고, 상기 펄스폭에 해당하는 펄스를 발생시키는 펄스 발생기에 상기 래치 그룹을 할당한다. 상기 자동 배치부는 상기 펄스 발생기와 상기 래치 그룹을 물리적으로 인접하게 배치하기 위해 상기 펄스 발생기와 상기 래치 그룹간의 연결에 가중치를 주어 회로 배치 및 라우팅을 한다. 상기 클락 트리 합성부는 상기 할당된 클락 스큐를 구현하기 위한 클락 트리를 합성한다.

발명의 실시를 위한 구체적인 내용

- [0021] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예들에 따른 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법 및 장치에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다.
- [0022] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0023] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다. 각 도면에 제시된 동일한 참조부호는 동일한 구성요소를 나타낸다.

실시예

- [0024] 도 1은 본 발명의 일 실시예에 따른 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법을 나타내는 순서도이다.
- [0025] 도 1을 참조하면, 속도 향상 방법(100)은 펄스폭 및 클락스큐 할당 단계(S110), 래치 그룹화 단계(S120), 자동 배치 단계(S130) 및 클락 트리 합성 단계(S140)를 포함한다.
- [0026] 상기 펄스폭 및 클락스큐 할당 단계(S110)는 게이트 레벨의 넷리스트(netlist)를 입력으로 받아들여, 순차 회로의 속도를 향상시키기 위하여 상기 순차 회로의 클락 주기를 줄일 수 있도록 상기 순차 회로에 포함되는 복수의 래치들 각각에 적당한 펄스폭 및 클락 스큐를 동시에 할당한다. 상기 래치 그룹화 단계(S120)는 상기 펄스폭 및 클락스큐 할당 단계에 의해 동일한 펄스폭이 할당된 상기 복수의 래치들을 그룹화 하여 래치 그룹을 만들고, 상기 할당된 펄스폭에 해당하는 펄스를 발생시키는 펄스 발생기에 상기 래치 그룹을 할당한다. 상기 자동 배치 단계(S130)는 상기 펄스 발생기와 상기 펄스 발생기에 할당된 상기 래치 그룹들을 물리적으로 인접하게 배치하기 위해 상기 펄스 발생기와 상기 래치 그룹간의 연결에 가중치(net weight)를 주어 회로배치(placement) 및 라우팅(routing)을 한다. 상기 클락 트리 합성 단계(S140)는 상기 복수의 래치들 각각에 할당된 클락 스큐를 구현하기 위한 클락 트리를 합성한다.
- [0027] 이하 도 1 을 참조하여 본 발명의 실시예에 따른 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법의 구현에 대해 상세히 설명한다.
- [0028] 먼저 상기 펄스폭 및 클락스큐 할당 단계(S110)를 상세히 설명한다.
- [0029] 일반적으로 순차 회로가 동작하려면 그 순차 회로를 구성하는 모든 조합 회로의 지연시간, 저장 소자의 셋업 타임 그리고 저장 소자의 지연시간의 합이 클락 주기보다 작아야 한다. 또한 어떤 순차 회로를 구성하는 모든 조합 회로에서는 조합 회로의 지연시간과 저장 소자의 지연시간의 합이 저장 소자의 오작동을 방지하기 위해 홀드 타임보다 커야 한다. 따라서 펄스폭이 여러 개인 펄스 래치를 사용하는 순차 회로의 경우, 순차 회로를 구성하는 모든 펄스 래치 i와 j사이의 조합 회로에 대해 하기의 셋업타임에 대한 제약 조건인 [수학식 1]과 홀드타임에 대한 제약 조건인 [수학식 2]를 만족해야 한다.

[0030] [수학식 1]

[0031] $S_i + W_i + T_{dq} + D_{ij} \leq P + S_j + W_j$

- [0032] [수학식 2]
- [0033] $S_i + T_{cq} + d_{ij} \geq S_j + W_j + T_{hd}$
- [0034] 여기서 S_i, S_j 는 각각 펄스 래치 i, j 의 클락 스큐를 나타내고, W_i, W_j 는 각각 펄스 래치 i, j 의 펄스폭을 나타내고, T_{dq} 는 펄스 래치의 데이터 입력으로부터 출력까지의 지연시간을 나타내고, T_{cq} 는 펄스 래치의 클락 입력으로부터 출력까지의 지연시간을 나타내고, D_{ij}, d_{ij} 는 각각 펄스 래치 i 와 j 사이의 조합 회로의 최대, 최소 지연시간을 나타내고, P 는 클락 주기를 나타낸다.
- [0035] 상기 펄스폭 및 클락스큐 할당 단계(S110)는 주어진 게이트 레벨의 넷리스트에 대해 순차 회로에서 사용 가능한 최대 클락 주기와 최소 클락 주기 사이에서 상기 순차 회로를 동작시킬 수 있는 최소의 클락 주기를 찾고, 모든 펄스 래치 i 에 대해 상기 [수학식 1]을 만족시키는 펄스폭(W_i) 및 클락 스큐(S_i)를 할당한다. 이 때 미리 정의된 펄스폭들 중에서 하나의 펄스폭 및 미리 정의된 최대 허용 클락 스큐 범위 내의 클락 스큐를 할당한다. 사용 가능한 최대 클락 주기(P_{max}) 는 하기 [수학식 3]과 같이 상기 순차 회로를 구성하는 복수의 조합 회로 각각의 지연시간들 중에서 최대의 지연시간으로 정의한다.
- [0036] [수학식 3]
- [0037] $P_{max} = \max(T_{dq} + D_{ij}) \quad \forall i \rightarrow j$
- [0038] 피드백 펄스 래치는 펄스 래치의 입력과 출력이 같은 펄스 래치에 연결된 펄스 래치를 말하는데, 사용 가능한 최소 클락 주기(P_{min}) 는 하기 [수학식 4]과 같이 상기 순차 회로를 구성하는 모든 피드백 펄스 래치들의 지연시간들 중에서 최대의 지연시간과, 상기 순차 회로를 구성하는 피드백 펄스 래치가 아닌 모든 펄스 래치의 지연시간들 중에서 최소의 지연시간을 비교하여, 큰 값으로 정의한다.
- [0039] [수학식 4]
- [0040] $P_{min} = \max[\min(T_{dq} + D_{ij}) \quad \forall i \rightarrow j \quad i \neq j, \max(T_{dq} + D_{ii}) \quad \forall i \rightarrow i]$
- [0041] 상기 펄스폭 및 클락스큐 할당 단계(S110)의 동작을 정리하면 하기 [알고리즘 1]과 같다.
- [0042] [알고리즘 1]
- [0043] **Algorithm** PWCS_Optimize ($P_{max}, P_{min}, \epsilon$)
- [0044] **begin**
- [0045] $P_u := P_{max}, P_l := P_{min}$
- [0046] **while** ($P_u - P_l$) > ϵ **do**
- [0047] $P := (P_u + P_l) / 2$
- [0048] **if** PWCS(P) = success **then** $P_u := P$
- [0049] **else** $P_l := P$
- [0050] **end if**
- [0051] **end do**
- [0052] **end**
- [0053] **Function** PWCS (P)
- [0054] **begin**
- [0055] Sort a list of pulse widths W in order of increasing width

```

[0056]  $W_i := \min_{x \in W} x, S_i := 0, \forall i$ 
[0057]  $C(i, j): W_j + S_j \geq W_i + S_i + (T_{dq} + D_{ij} - P), \forall i \rightarrow j$ 
[0058] while  $\exists_{i,j}, C(i, j)$  is not satisfied do
[0059]      $r_h := W_i + S_i + (T_{dq} + D_{ij} - P)$ 
[0060]     Increment  $W_j$  until  $W_j + \Delta \geq r_h$ 
[0061]     if such  $W_j \in W$  does not exist then return fail
[0062]     end if
[0063]      $S_j := \max(0, r_h - W_j)$ 
[0064] end do
[0065] return success
[0066] end

```

[0067] 여기서 Δ 는 최대 허용 클락 스큐를 나타낸다.

[0068] 상기 [알고리즘 1]에서 볼 수 있듯이 최소의 클락 주기를 찾기 위해 이진검색(binary search)알고리즘을 사용한다. 만약 상기 [알고리즘 1]에 의해 결정된 클락 주기와 펄스폭 및 클락 스큐가 [수학식 2]가 나타내는 홀드타임에 대한 제약 조건을 만족하지 않는 경우에는, 상기 홀드타임에 대한 제약 조건을 만족하지 않는 펄스 래치의 경로에 버퍼를 추가로 삽입하는 딜레이 패딩(delay padding) 방법을 통해 [수학식 2]의 제약 조건을 만족시킬 수 있다.

[0069] 상기 펄스폭 및 클락스큐 할당 단계(S110)에 의해 상기 복수의 래치들 각각에 펄스폭 및 클락 스큐가 할당되고 나면, 상기 래치 그룹화 단계(S120)는 동일한 펄스폭이 할당된 상기 복수의 래치들을 그룹화 하여 래치 그룹을 만들고, 상기 할당된 펄스폭에 해당하는 펄스를 발생시키는 펄스 발생기에 상기 래치 그룹을 할당한다. 하나의 펄스 발생기가 구동시킬 수 있는 래치의 수는 펄스의 전달을 보장하기 위해 한정되어야하므로 동일한 펄스폭이 할당된 상기 복수의 래치들의 수가 미리 정의된 상기 펄스 발생기당 허용되는 최대 래치의 수를 초과하는 경우, 상기 펄스 발생기당 할당되는 상기 복수의 래치들의 수가 상기 미리 정의된 최대 래치의 수를 초과하지 않도록, 상기 복수의 래치들을 할당된 클락 스큐에 따라 오름차순으로 정렬한 뒤 여러 개의 펄스 발생기에 상기 복수의 래치들을 상기 정렬된 순서대로 균등한 개수로 할당한다. 이는 한 그룹 내에서 각 래치의 클락 스큐 값들 간의 차이가 크지 않도록 하기 위함이다. 클락 스큐 값의 차이가 클수록 클락 트리 합성 단계에서 클락 스큐의 구현이 어려워지게 되기 때문이다.

[0070] 상기 자동 배치 단계(S130)는 상기 펄스 발생기와 상기 펄스 발생기에 할당된 상기 래치 그룹들을 물리적으로 인접하게 배치하기 위해 상기 펄스 발생기와 상기 래치 그룹간의 연결에 가중치(net weight)를 주어 회로배치(placement) 및 라우팅(routing)을 한다.

[0071] 상기 클락 트리 합성 단계(S140)는 상기 복수의 래치들 각각에 할당된 클락 스큐를 구현하기 위한 클락 트리를 합성한다. 이하 상기 클락 트리 합성 단계를 상세히 설명한다.

[0072] 상기 클락 트리 합성 단계(S140)는 상기 할당된 클락 스큐를 래치의 클락 스큐와 펄스 발생기의 클락 스큐로 나누는 단계, 상기 펄스 발생기의 클락 스큐를 조절하는 단계 및 상기 래치의 클락 스큐를 구현하기 위한 로컬 클락 트리 및 상기 펄스 발생기의 클락 스큐를 구현하기 위한 글로벌 클락 트리를 합성하는 단계를 포함한다.

[0073] 상기 할당된 클락 스큐를 래치의 클락 스큐와 펄스 발생기의 클락 스큐로 나누기 위해 상기 래치 그룹 내에 포함되는 각각의 래치에 할당된 클락 스큐들 중에서 최소의 클락 스큐를 상기 래치 그룹이 할당된 상기 펄스 발생기의 클락 스큐로 결정하고, 상기 각각의 래치에 할당된 클락 스큐에서 상기 최소의 클락 스큐를 뺀 값을 상기 각각의 래치의 클락 스큐로 결정한다.

[0074] 하지만 각 그룹의 클락 트리 합성은 개별적으로 이루어지기 때문에 동일한 값의 클락 스큐를 가지고 있는 래치라도 속해 있는 그룹이 다르면 실질적인 클락 스큐가 상이하게 된다. 따라서 상기 펄스 발생기의 클락 스큐를

조절하는 단계가 필요하다. 상기 펄스 발생기의 클락 스큐를 조절하기 위해 상기 모든 래치 그룹에 대해 각 그룹 내에 포함되는 가장 작은 클락 스큐를 가지는 래치까지의 최소 펄스 지연시간을 측정하고, 상기 래치 그룹들에 대해 측정한 상기 최소 펄스 지연시간 중에서 최대의 지연시간을 찾아, 상기 모든 래치 그룹에 대해 상기 최소 펄스 지연 시간의 최대값과 상기 래치 그룹들 각각에 대한 상기 최소 펄스 지연시간의 차이만큼 상기 펄스 발생기의 클락 스큐를 증가시킨다.

[0075] 상기 클락 트리 합성 단계(S140)의 동작을 정리하면 하기 [알고리즘 2]와 같다.

[0076] [알고리즘 2]

[0077] **Algorithm** Clock_Tree_Synthesis ($\phi_1, \phi_2, \dots, \phi_n$)

[0078] **begin**

[0079] **for** $i = 1, 2, \dots, n$ **do**

[0080] $\rho_i := \min_{j \in \phi_i} S_j$

[0081] $S_j := S_j - \rho_i, \forall j \in \phi_i$

[0082] Local clock tree synthesis of ϕ_i

[0083] **end do**

[0084] Adjust PG_Skew ()

[0085] Global clock tree synthesis of $\rho_1, \rho_2, \dots, \rho_n$

[0086] **end**

[0087] **Function** Adjust_PG_Skew ()

[0088] **begin**

[0089] **for** $i = 1, 2, \dots, n$ **do**

[0090] $D(\phi_i) := \min_{j \in \phi_i} \text{delay from PG to } j$

[0091] **end do**

[0092] $\rho_i := \rho_i + \max_j D(\phi_j) - D(\phi_i), i = 1, 2, \dots, n$

[0093] **end**

[0094] 도 2a, 도 2b 및 도 2c는 다양한 펄스폭과 클락 스큐 스케줄링을 동시에 사용하는 경우 순차 회로의 속도가 향상되는 것을 보여주는 예시도이다.

[0095] 도 2a, 도 2b 및 도 2c를 참조하면, 각 예시도는 세 개의 펄스 래치(210, 220, 230)와 펄스 래치 사이에 연결된 두 개의 조합 회로(240, 250)로 구성되어 있으며, 펄스 래치 a(210)와 펄스 래치 b(220)사이에서 연결된 조합 회로(240)의 최대 지연시간은 22이고, 펄스 래치 b(220)와 펄스 래치 c(230)사이에서 연결된 조합 회로(250)의 최대 지연시간은 8이다.

[0096] 도 2a는 하나의 펄스폭만을 사용하고 클락 스큐가 없는 경우의 예시도이다. 이 경우 클락 주기는 최소한 22가 되어야 한다. 따라서 펄스 래치 b(220)와 펄스 래치 c(230)사이에서 연결된 조합 회로(250)에는 14만큼의 시간낭비가 존재하게 된다.

[0097] 도 2b는 하나의 펄스폭만을 사용되 클락 스큐 스케줄링 방법을 사용하는 경우의 예시도이다. 상기 도 2b에서 볼 수 있듯이 최대 허용 클락 스큐를 2라고 가정했을 경우, 펄스 래치 b(220)에 최대 클락 스큐인 2만큼의 클락 스큐를 할당함으로써 클락 주기를 20으로 줄일 수 있다. 그러나 이 경우에도 펄스 래치 b(220)와 펄스 래치 c(230)사이에서 연결된 조합 회로(250)에는 10만큼의 시간낭비가 존재하게 된다. 따라서 클락 스큐 스케줄링 방법만을 사용하는 경우, 최대로 적용할 수 있는 클락 스큐가 제한되어 있으면 클락 주기를 줄이는 데에 한계가 존

재하게 된다.

[0098] 도 2c는 다양한 펄스폭과 클락 스큐 스케줄링을 동시에 사용하는 경우의 예시도이다. 도 2c에서는 도 2b에서와 마찬가지로 펄스 래치 b(220)에 최대 클락 스큐인 2만큼의 클락 스큐를 할당하였으나 펄스 래치 b(220)에 적용되는 펄스폭은 도 2b에서보다 5만큼 더 늘었다. 이렇게 펄스폭을 늘여줌으로써 시간 빌리기가 가능해져서 클락 주기를 15로 줄일 수 있으며, 이 경우 펄스 래치 b(220)와 펄스 래치 c(230)사이에 연결된 조합 회로(250)에는 시간낭비가 존재하지 않게 되어 상기 예시 회로에서 구현 가능한 최소의 클락 주기가 된다. 따라서 다양한 펄스폭과 클락 스큐 스케줄링을 동시에 사용하여, 순차 회로를 구성하는 펄스 래치 각각에 적당한 펄스폭과 클락 스큐를 할당함으로써 순차 회로의 속도가 향상됨을 알 수 있다.

산업이용 가능성

[0099] 본 발명의 실시예에 따른 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법은 다양한 펄스폭과 클락 스큐 스케줄링을 동시에 사용함으로써 디지털 순차 회로에서 클락 주기를 효과적으로 줄이는 것이 가능하여 디지털 순차 회로의 속도 향상에 효율적으로 적용할 수 있다.

[0100] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

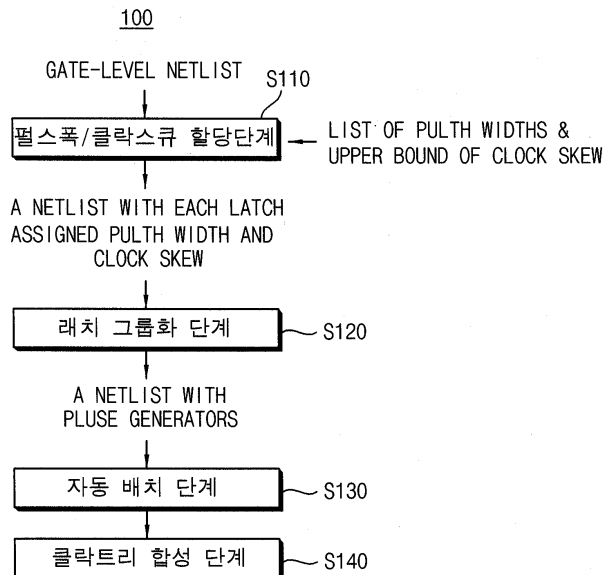
도면의 간단한 설명

[0101] 도 1은 본 발명의 일 실시예에 따른 펄스 래치를 사용하는 디지털 순차 회로의 속도 향상 방법을 나타내는 순서도이다.

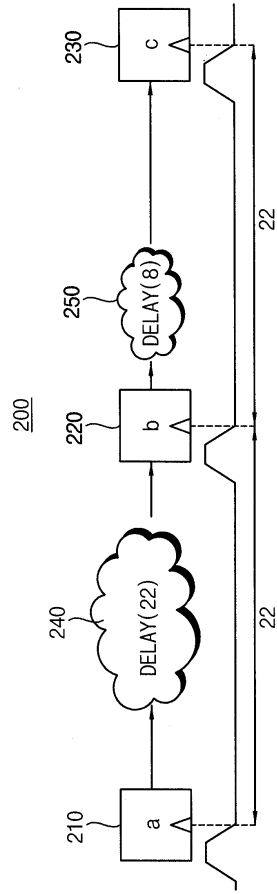
[0102] 도 2a, 도 2b 및 도 2c는 다양한 펄스폭과 클락 스큐 스케줄링을 사용한 경우 순차 회로의 속도가 향상되는 것을 보여주는 예시도이다.

도면

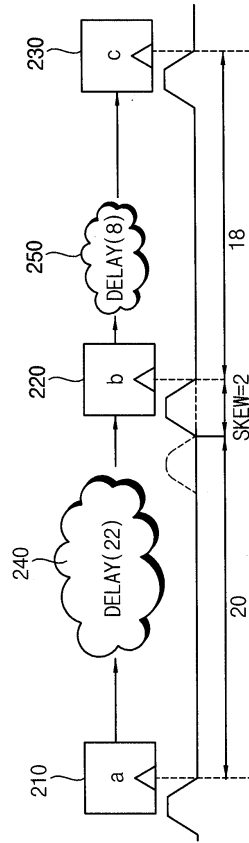
도면1



도면2a



도면2b



도면2c

