

관인생략

출원번호통지서

출원일자 2012.10.17
 특기사항 심사청구(무) 공개신청(무) 참조번호(1)
 출원번호 10-2012-0115554 (접수번호 1-1-2012-0845180-47)
 출원인명칭 삼성전자주식회사(1-1998-104271-3) 외 1명
 대리인성명 권혁수(9-1999-000370-4)
 발명자성명 서문준 백돈규 신영수 신인섭 김형옥 오충기 전재한 도경태 최정연
 발명의명칭 게이트 지연시간 및 출력시간의 모델링 방법

특허청장

<< 안내 >>

1. 귀하의 출원은 위와 같이 정상적으로 접수되었으며, 이후의 심사 진행상황은 출원번호를 통해 확인하실 수 있습니다.
2. 출원에 따른 수수료는 접수일로부터 다음날까지 동봉된 납입영수증에 성명, 납부자번호 등을 기재하여 가까운 우체국 또는 은행에 납부하여야 합니다.
 ※ 납부자번호 : 0131(기관코드) + 접수번호
3. 귀하의 주소, 연락처 등의 변경사항이 있을 경우, 즉시 [출원인코드 정보변경(경정), 정정신고서]를 제출하여야 출원 이후의 각종 통지서를 정상적으로 받을 수 있습니다.
 ※ 특허로(patent.go.kr) 접속 > 민원서식다운로드 > 특허법 시행규칙 별지 제5호 서식
4. 특허(실용신안등록)출원은 명세서 또는 도면의 보정이 필요한 경우, 등록결정 이전 또는 의견서 제출기간 이내에 출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위 안에서 보정할 수 있습니다.
5. 외국으로 출원하고자 하는 경우 PCT 제도(특허·실용신안)나 마드리드 제도(상표)를 이용할 수 있습니다. 국내출원일을 외국에서 인정받고자 하는 경우에는 국내출원일로부터 일정한 기간 내에 외국에 출원하여야 우선권을 인정받을 수 있습니다.
 ※ 제도 안내 : <http://www.kipo.go.kr>-특허마당-PCT/마드리드
 ※ 우선권 인정기간 : 특허·실용신안은 12개월, 상표·디자인은 6개월 이내
 ※ 미국특허상표청의 선출원을 기초로 우리나라에 우선권주장출원 시, 선출원이 미공개상태이면, 우선일로부터 16개월 이내에 미국특허상표청에 [전자적교환허가서(PTO/SB/39)]를 제출하거나 우리나라에 우선권 증명서류를 제출하여야 합니다.
6. 본 출원사실을 외부에 표시하고자 하는 경우에는 아래와 같이 하여야 하며, 이를 위반할 경우 관련법령에 따라 처벌을 받을 수 있습니다.
 ※ 특허출원 10-2010-0000000, 상표등록출원 40-2010-0000000



9199900037041011101000003800000000

특허출원서

【참조번호】 1

【출원구분】 특허출원

【출원인】

【명칭】 삼성전자주식회사

【출원인코드】 1-1998-104271-3

【출원인】

【명칭】 한국과학기술원

【출원인코드】 3-1998-098866-1

【대리인】

【성명】 권혁수

【대리인코드】 9-1999-000370-4

【포괄위임등록번호】 2005-064921-7

【대리인】

【성명】 송윤호

【대리인코드】 9-2003-000551-6

【포괄위임등록번호】 2005-064946-0

【대리인】

【성명】 오세준

【대리인코드】 9-2003-000576-2

【포괄위임등록번호】 2005-064947-7

【발명의 국문명칭】 게이트 지연시간 및 출력시간의 모델링 방법

【발명의 영문명칭】 METHOD FOR MODELING DELAY TIME AND OUTPUT TIME OF
GATE

【발명자】



【성명의 국문표기】 서문준

【성명의 영문표기】 SEO,munJun

【주민등록번호】 821027-1066626

【우편번호】 150-849

【주소】 서울 영등포구 신길3동 348~380 건영아파트 라동 801호

【국적】 KR

【발명자】

【성명의 국문표기】 백돈규

【성명의 영문표기】 BAEK,Donkyu

【주민등록번호】 840721-1155611

【우편번호】 305-701

【주소】 대전 유성구 구성동 KAIST

【국적】 KR

【발명자】

【성명의 국문표기】 신영수

【성명의 영문표기】 SHIN,Youngsoo

【주민등록번호】 670802-1110511

【우편번호】 305-701

【주소】 대전 유성구 대학로 291

【국적】 KR

【발명자】

【성명의 국문표기】 신인섭

【성명의 영문표기】 SHIN,Insup

【주민등록번호】 850304-1852919

【우편번호】 305-701

【주소】 대전 유성구 구성동 KAIST

【국적】 KR

【발명자】



【성명의 국문표기】 김형옥

【성명의 영문표기】 KIM,HYUNGOCK

【주민등록번호】 790420-1351112

【우편번호】 138-798

【주소】 서울 송파구 잠실동 우성아파트 27-603

【국적】 KR

【발명자】

【성명의 국문표기】 오충기

【성명의 영문표기】 OH,Chungki

【주민등록번호】 831019-1069111

【우편번호】 446-711

【주소】 경기 용인시 기흥구 농서동 삼성전자(주)기흥공장
무궁화동515호

【국적】 KR

【발명자】

【성명의 국문표기】 전재한

【성명의 영문표기】 JEON,JaeHan

【주민등록번호】 740512-1030136

【우편번호】 151-802

【주소】 서울 관악구 남현동 우림루미아트 103동 901호

【국적】 KR

【발명자】

【성명의 국문표기】 도경태

【성명의 영문표기】 DO,KYUNGTAE

【주민등록번호】 790205-1822315

【우편번호】 630-809

【주소】 경남 마산시 양덕동 경남아파트 3-208

【국적】 KR

【발명자】

【성명의 국문표기】 최정연

【성명의 영문표기】 CHOI,JungYun

【주민등록번호】 741111-1696216

【우편번호】 445-330

【주소】 경기 화성시 반월동 반달마을 두산위브2차 204동 1403호

【국적】 KR

【공지예외적용대상증명서류의 내용】

【공개형태】 학회 발표

【공개일자】 2012.05.30

위와 같이 특허청장에게 제출합니다.

대리인 권혁수 (서명 또는 인)

대리인 송윤호 (서명 또는 인)

대리인 오세준 (서명 또는 인)

【수수료】

【기본출원료】 0 면 38,000 원

【가산출원료】 34 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 38,000 원

【첨부서류】 1.기타첨부서류[한국과학기술원 위임장]_1통

2.공지예외적용대상(신규성상실의예외, 출원시의특례)규정을

적용받기 위한 증명서류_1통

【명세서】

【발명의 명칭】

게이트 지연시간 및 출력시간의 모델링 방법{METHOD FOR MODELING DELAY TIME AND OUTPUT TIME OF GATE}

【기술분야】

본 발명은 반도체 소자에 관한 것으로 더욱 상세하게는 게이트 지연시간 및 출력시간을 모델링하는 방법에 관한 것이다.

【발명의 배경이 되는 기술】

반도체 제조과정에서 발생하는 여러 가지 요인으로 인하여 공정변이가 발생한다. 이러한 공정변이로 인하여 설계시 예상했던 칩의 성능과 다른 성능 결과가 나타날 수 있다. 이와 같은 문제점을 해결하기 위하여, 프로세스 코너를 기반으로 하여 반도체 칩이 설계된다. 공정변이로 인한 게이트의 딜레이가 가장 큰 경우와 누설전류가 가장 큰 경우를 기반으로 라이브러리를 생성하여 칩을 설계할 경우, 공정 변이로 인한 성능 저하를 예방할 수 있다. 그러나 반도체 제조 기술의 발달로 반도체 소자의 크기가 작아짐에 따라 공정변이가 증가하여 프로세스 코너를 기반으로 하는 라이브러리(library)를 사용하여 칩을 설계하더라도 설계시 칩의 기대 성능을 만족시키기 어려워지고 있다.

상술된 문제의 해결 방법 중 하나로서 게이트에 바디 바이어스 전압을 인가하여 공정변이로 인하여 발생하는 이상 특성을 보상하는 방법이 있다. 그러나 바디 바이어스 전압이 인가된 게이트의 동작 특성을 예측하기 위해서는 할당된 바디 바

이어서 값에 따라 모든 게이트들의 동작 특성을 시뮬레이션하여야 한다. 이러한 과정은 모든 게이트들에 대하여 수행되어야 하기 때문에 과도한 오버헤드가 발생한다. 따라서, 바디 바이어스 전압이 인가된 후의 게이트의 동작 특성을 예측하는 것은 많은 시간과 비용이 발생하기 때문에 실제 사용에 어려움이 있다.

【발명의 내용】

【해결하고자 하는 과제】

본 발명의 목적은 감소된 오버헤드를 갖는 게이트 지연시간 모델링 방법을 제공하는 데 있다.

【과제의 해결 수단】

본 발명의 실시 예에 따른 복수의 게이트들의 지연시간 모델링 방법은 상기 복수의 게이트들 중 제 1 게이트를 선택하는 단계; 상기 선택된 제 1 게이트의 구조를 판별하는 단계; 상기 판별 결과에 따라 상기 선택된 제 1 게이트의 지연시간 비율을 생성하는 단계; 및 상기 생성된 지연시간 비율 및 상기 복수의 게이트들 중 제 2 게이트의 지연시간을 기반으로 바디 바이어스 전압이 인가된 경우의 상기 제 2 게이트의 지연시간을 계산하는 단계를 포함하고, 상기 제 1 및 제 2 게이트들은 서로 동일한 스택의 수 및 스테이지의 수를 갖고, 상기 스택의 수는 상기 제 1 및 제 2 게이트들의 전원전압 및 출력단 사이의 트랜지스터의 개수이고, 상기 스테이지의 수는 상기 제 1 및 제 2 게이트들의 입력단 및 출력단 사이의 트랜지스터의 개수이다.

실시 예로서, 상기 지연시간은 입력신호가 변하는 시점부터 출력신호가 전원

전압의 1/2배가 되는 시점이다.

실시 예로서, 상기 제 1 및 제 2 게이트들 각각에 포함된 트랜지스터들은 서로 다른 너비를 갖는다.

실시 예로서, 상기 선택된 게이트의 구조를 판별하는 단계는, 상기 선택된 게이트가 다단 구조인지 판별하는 단계; 및 상기 선택된 게이트가 스택 구조인지 판별하는 단계를 포함한다.

실시 예로서, 상기 판별 결과에 따라 지연시간 비율을 생성하는 단계는, 상기 판별된 다단 구조 및 상기 판별된 스택 구조에 따라 각각 서로 다른 지연시간 비율을 생성하는 단계를 포함한다.

실시 예로서, 상기 복수의 게이트들 각각의 지연시간 및 상기 생성된 지연시간 비율에 기반하여, 상기 바디 바이어스 전압이 인가된 경우의 상기 복수의 게이트들 각각의 지연시간을 계산하는 단계를 더 포함한다.

본 발명의 실시 예에 따른 복수의 게이트들의 출력시간 모델링 방법은 상기 복수의 게이트들 중 제 1 게이트를 선택하는 단계; 상기 선택된 제 1 게이트의 구조를 판별하는 단계; 상기 판별 결과에 따라 출력시간 비율을 생성하는 단계; 및 상기 생성된 출력시간 비율 및 복수의 게이트들 중 제 2 게이트의 출력시간을 기반으로, 바디 바이어스 전압이 인가된 경우의 상기 제 2 게이트의 출력시간을 계산하는 단계를 포함하고, 상기 제 1 및 제 2 게이트들 각각은 서로 동일한 스택의 수 및 스테이지의 수를 갖고, 상기 스택의 수는 상기 제 1 및 제 2 게이트들의 전원전압 및 출력단 사이의 트랜지스터의 개수이고, 상기 스테이지의 수는 상기 제 1 및

제 2 게이트들의 입력단 및 출력단 사이의 트랜지스터의 개수이다.

【발명의 효과】

본 발명에 따르면, 트랜지스터의 크기와는 무관하게 게이트 지연시간을 모델링할 수 있다. 따라서, 감소된 오버헤드를 갖는 게이트 지연시간 모델링 방법이 제공된다.

【도면의 간단한 설명】

도 1은 본 발명의 실시 예에 따른 게이트 지연시간 모델링 방법을 설명하기 위한 개념도이다.

도 2는 인버터 게이트를 보여주는 회로도이다.

도 3은 본 발명의 실시 예에 따른 지연시간을 설명하기 위한 그래프이다.

도 4는 NOR 게이트를 보여주는 회로도이다.

도 5는 AND 게이트를 보여주는 회로도이다.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 출력시간을 설명하기 위한 그래프이다.

도 7은 본 발명의 실시 예에 따른 게이트 지연시간 모델링 방법을 설명하기 위한 순서도이다.

【발명을 실시하기 위한 구체적인 내용】

이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명하기로 한다.

본 발명의 게이트 지연시간의 모델링 방법에 따르면, 트랜지스터의 크기와 무관하게 지연시간을 예측할 수 있다. 따라서, 오버헤드를 최소화하여 게이트의 지연 시간을 모델링할 수 있다. 예시적으로, 본 발명의 실시 예에 따른 게이트 지연 시간 모델링 방법은 게이트에 포함된 pMOS 트랜지스터들에 고정된 바디 바이어스 전압을 인가하여 바이어스하는 것으로 가정한다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니다.

도 1은 본 발명의 실시 예에 따른 게이트 지연시간 모델링(100)의 예를 보여주는 개념도이다. 도 1을 참조하면, 바디 바이어스 전압 인가 전의 지연시간 테이블(110, 이하에서 "제 1 지연시간 테이블"이라 한다.), 지연시간 비율 테이블(120), 및 바디 바이어스 전압 인가 후의 지연시간 테이블(130, 이하에서 "제 2 지연시간 테이블"이라 한다.)은 구조에 따라 분류된 게이트들의 지연시간 또는 지연시간 비율 정보를 포함한다. 여기에서 구조는 게이트의 구성형태로서 스택된(stacked) 트랜지스터의 개수, 게이트에 포함된 스테이지의 개수를 가리킨다.

제 1 지연시간 테이블(110)은 미리 결정된 값 또는 미리 측정된 값일 것이다. 지연시간 비율 테이블(120)은 제 1 지연시간 테이블(110)로부터 바디 바이어스 전압을 인가한 후 게이트의 지연시간을 예측하기 위한 정보를 포함한다. 예를 들어, 지연시간 비율 테이블(120)은 바디 바이어스 전압 인가 전 게이트의 지연시간($d_{0.5, nbb}$) 및 바디 바이어스 전압 인가 후 게이트의 지연시간($d_{0.5, bb}$)의 비율을 가리키는 지연시간 비율(η)을 포함한다. 제 1 지연시간 테이블(110) 및 지연시간 비

율 테이블(120)을 이용하여 제 2 지연시간 테이블(130)이 유추될 수 있다. 이하에서, 도 2 내지 도 8 및 수학적식들을 참조하여, 지연시간 비율 테이블(120)에 포함된 지연시간 비율(η)을 도출하는 방법이 설명된다.

도 2는 인버터 게이트(200, Inverter Gate)를 보여주는 회로도이다. 도 2를 참조하면, 인버터 게이트(200)는 pMOS 트랜지스터(210), nMOS 트랜지스터(220), 및 캐패시터(230)를 포함한다. 인버터 게이트(200)는 입력신호(IN)를 반전하여 출력한다. 예를 들어, 입력신호(IN)가 로직 하이(예를 들어, V_{DD} 의 전압)인 경우, pMOS 트랜지스터(210)는 턴-오프되고, nMOS 트랜지스터(220)는 턴-온될 것이다. 이 경우, 캐패시터(230)에 저장된 전하들은 nMOS 트랜지스터(220)를 통해 방전되므로, 출력신호(OUT)는 로직 로우가 될 것이다. 이와 반대로, 입력 신호(IN)가 로직 로우(예를 들어, 영전압)인 경우, pMOS 트랜지스터(210)는 턴-온되고, nMOS 트랜지스터(220)는 턴-오프될 것이다. 이 경우, 캐패시터(230)는 pMOS 트랜지스터(210)에 흐르는 전류(I_{DD})에 의해 충전되므로, 출력 신호(OUT)는 로직 하이 가 될 것이다.

도 3은 본 발명의 실시 예에 따른 지연시간($d_{0.5}$)을 설명하기 위한 그래프이다. 예시적으로, 도 2에 도시된 그래프는 인버터 게이트(200)의 입력신호(IN) 및 출력신호(OUT)를 보여준다. 도 2의 X축은 시간을 가리키고, Y축은 전압을 가리킨다.

도 3를 참조하면, 제 1 구간($t_1 \sim t_2$)에서 입력 신호(IN)는 전원전압(V_{DD})에서

0으로 바뀐다. 이 경우, 인버터 게이트(200)는 입력신호(IN)에 응답하여, 캐패시터(230)를 전원전압(V_{DD})으로 충전할 것이다.

이상적인 경우, 입력신호(IN)가 변하는 시점과 출력신호(OUT)가 전원전압(V_{DD})으로 되는 시점이 동일해야 될 것이다. 그러나, 도 2에 도시된 바와 같이, 소자들의 특성상 입출력의 지연이 발생한다. 종래의 지연시간은 입력신호(IN)가 전원전압의 1/2배($V_{DD}/2$)가 되는 시점(t_2)부터 출력신호(OUT)가 전원전압의 1/2배($V_{DD}/2$)가 되는 시점(t_3)까지를 가리킨다. 그러나, 본 발명에 따른 지연시간($d_{0.5}$)은 입력신호(IN)가 변하는 시점(t_1)부터 출력신호(OUT)가 전원전압의 1/2배($V_{DD}/2$)로 되는 시점(t_3)까지이다. 상술된 본 발명에 따른 지연시간($d_{0.5}$)을 적용하여 게이트 지연시간을 모델링할 경우, 트랜지스터의 사이즈(W_p)와 무관하게 게이트의 지연시간을 모델링할 수 있다.

【수학식 1】

$$\int_0^{d_{0.5}} I_D(t) dt = C_L \frac{V_{DD}}{2}$$

수학식 1은 캐패시터(130)에 충전되는 전하량을 보여주는 수학식이다. $I_D(t)$ 는 pMOS 트랜지스터(110)에 흐르는 전류를 가리키고, C_L 은 캐패시터(130)의 정전 용량을 가리키고, V_{DD} 는 전원 전압을 가리킨다.

【수학식 2】

$$I_D \approx k W_p (V_{SG}(t) - V_t)$$

$$V_t = |V_{tp}|$$

$$V_{SG}(t) = \begin{cases} \frac{V_{DD}}{t_{in}} t, & t < t_{in} \\ V_{DD}, & t \geq t_{in} \end{cases}$$

수학식 2는 pMOS 트랜지스터(110)를 흐르는 전류(I_D)를 보여주는

수학식이다. k 는 pMOS 트랜지스터(110)의 구조에 따른 상수 값이다. t_{in} 은

입력신호(IN)가 전원전압(V_{DD})에서 영전압에 도달하는 시간을 가리킨다. W_p 는 pMOS

트랜지스터(110)의 너비를 가리킨다. $V_{SG}(t)$ 는 pMOS 트랜지스터(110)의 소스-게이트

간 전압차를 가리킨다.

수학식 1 및 2를 참조하면, 지연시간($d_{0.5}$)을 구하는 경우의 수는

지연시간($d_{0.5}$)의 길이에 따라 지연시간($d_{0.5}$)이 입력시간(t_{in})보다 짧은 경우(제 1

경우, $d_{0.5} < t_{in}$)와 지연시간($d_{0.5}$)이 입력시간(t_{in})보다 긴 경우(제 2 경우, $d_{0.5} > t_{in}$)로

분류될 수 있다. 예시적으로, 제 1 경우($d_{0.5} < t_{in}$)는 인버터 게이트(200)의 빠른 응

답속도로 인하여 입력신호(IN)가 영전압이 되기 전에 출력신호(OUT)가

전원전압(V_{DD})에 도달하는 경우이다. 이와 반대로, 도 3에 도시된 그래프는 제 2 경

우($d_{0.5} > t_{in}$)에 해당하는 그래프이다.

【수학식 3】

$$d_{0.5} = \frac{V_t t_{in}}{V_{DD}} + \sqrt{\frac{C_L t_{in}}{k W_p}} = \alpha_1 V_t + \sqrt{\frac{\beta}{W_p}}$$

수학식 3은 제 1 경우($d_{0.5} < t_{in}$)에서의 지연시간($d_{0.5}$)을 보여주는 수학식이다.

수학식 3을 참조하면, V_t 는 pMOS 트랜지스터(210)의 문턱 전압을 가리키고, W_p 는

pMOS 트랜지스터(210)의 너비를 가리킨다. α_1 및 β_1 은 지연 시간($d_{0.5}$)에 대한 변수

들(V_t , W_p)을 제외한 상수들을 가리킨다. 즉, 제 1 경우($d_{0.5} < t_{in}$)에서,

지연시간($d_{0.5}$)은 pMOS 트랜지스터(110)의 문턱 전압(V_t) 및 너비(W_p)에 의해 결정될

수 있다.

【수학식 4】

$$\begin{aligned} d_{0.5} &= \frac{t_{in} (V_{DD} + V_t)}{2 V_{DD}} + \frac{C_L V_{DD}}{2 k W_p (V_{DD} - V_t)} \\ &= \alpha_2 V_t + \frac{\beta_2}{W_p (V_{DD} - V_t)} + \gamma \end{aligned}$$

수학식 4는 제 2 경우($d_{0.5} > t_{in}$)의 지연시간($d_{0.5}$)을 보여주는 수학식이다. 수

학식 4를 참조하면, α_2 , β_2 , 및 γ 는 지연시간($d_{0.5}$)에 대한 변수들(V_t , W_p)를 제외

한 상수들을 가리킨다. 즉, 지연 시간($d_{0.5}$)이 입력 시간(t_{in})보다 짧은 경우, 지연

시간($d_{0.5}$)은 pMOS 트랜지스터(110)의 문턱 전압(V_t) 및 너비(W_p)에 의해 결정될 수 있다.

수학식 3 및 4를 참조하면, 상술된 제 1 및 제 2 경우들 모두에서 지연시간($d_{0.5}$)은 pMOS 트랜지스터(110)의 문턱전압(V_t) 및 너비(W_p)에 의해 결정된다. 수학식 3 및 4를 통해 지연시간 비율(η)을 수학식 5와 같이 나타낼 수 있다. 지연시간 비율(η)은 바디 바이어스 전압이 인가되기 전의 지연시간($d_{0.5,nbb}$) 및 바디 바이어스 전압이 인가된 후의 지연시간($d_{0.5,bb}$)의 비율을 가리킨다.

【수학식 5】

$$\eta(V_{t,bb}, V_{t,nbb}, W_p) = \frac{d_{0.5}(V_{t,bb}, W_p)}{d_{0.5}(V_{t,nbb}, W_p)}$$

수학식 5를 참조하면, $V_{t,bb}$ 는 바디 바이어스 전압이 인가된 후의 pMOS 트랜지스터(110)의 문턱전압을 가리키고, $V_{t,nbb}$ 는 바디 바이어스 전압이 인가되기 전의 pMOS 트랜지스터(110)의 문턱전압을 가리킨다. 즉, 지연시간 비율(η)은 $V_{t,bb}$, $V_{t,nbb}$, 및 W_p 에 의해 결정될 수 있다.

상술된 수학식 1 내지 5를 참조하여, 본 발명에 따른 지연시간 비율 테이블(120)이 생성될 수 있다. 본 발명에 따른 지연시간은 게이트에 포함된 트랜지스터의 크기와 무관하므로 감소된 오버헤드를 갖는 게이트 지연시간 모델링이 가

능하다. 이하에서, 수학적 식 6 내지 9를 참조하여 pMOS 트랜지스터(110)의 너비(W_p)의 변화에 따른 지연시간 비율(η)의 변화량은 무관하다는 것이 설명된다.

【수학적 식 6】

$$\frac{\partial \eta}{\partial W_p} = \frac{1}{d_{0.5, nbb}} \left(\frac{\partial d_{0.5, bb}}{\partial \eta} - \eta \frac{\partial d_{0.5, nbb}}{\partial W_p} \right)$$

수학적 식 6은 pMOS 트랜지스터(110)의 너비(W_p)의 변화에 대한 지연시간 비율(η)의 변화량을 보여주는 수학적 식이다. 수학적 식 6을 참조하면, $d_{0.5, nbb}$ 는 바디 바이어스 전압이 인가되기 전의 지연시간(이하에서 '제 1 지연시간'이라 한다.)을 가리키고, $d_{0.5, bb}$ 는 바디 바이어스 전압이 인가된 후의 지연시간(이하에서, '제 2 지연시간'이라 한다.)을 가리킨다.

입력시간(t_{in})의 크기에 따라 pMOS 트랜지스터(110)의 너비의 변화(W_p)의 변화에 대한 지연시간들($d_{0.5, nbb}$, $d_{0.5, bb}$)의 변화량이 다를 수 있다. 따라서, 입력시간(t_{in})이 제 1 지연시간($d_{0.5, nbb}$)보다 긴 경우(제 1 경우, 수학적 식 7 참조), 입력시간(t_{in})이 제 1 지연시간($d_{0.5, nbb}$)보다 짧고 제 2 지연시간($d_{0.5, bb}$)보다 긴 경우(제 2 경우, 수학적 식 8 참조), 및 입력시간(t_{in})이 제 2 지연시간($d_{0.5, bb}$)보다 짧은 경우(제 3 경우, 수학적 식 9 참조)로 분류하여 이하에서 설명된다.

【수학식 7】

$$\frac{\partial \eta}{\partial W_p} = -\frac{1}{\kappa_1 W_p}$$

$$\frac{1}{\kappa_1} = -\frac{(1-\eta)(d_{0.5.nbb} - t_{in} V_{t.nbb})}{2d_{0.5.nbb}} \ll 1$$

수학식 7은 제 1 경우($d_{0.5.nbb} < t_{in}$)를 보여주는 수학식이다. 수학식 7을 참조

하면, κ_1 은 pMOS 트랜지스터(110)의 너비(W_p)를 제외한 나머지 상수 값들을 가리킨다. $1/\kappa_1$ 은 1보다 매우 작기 때문에, $1/(\kappa_1 W_p)$ 의 값은 0에 근접할 것이다. 즉, 제 1 경우($d_{0.5.nbb} < t_{in}$)에서, pMOS 트랜지스터(110)의 너비(W_p)의 변화에 대한 지연시간 비율(η)의 변화는 무시할 수 있을 정도로 작을 것이다.

【수학식 8】

$$\frac{\partial \eta}{\partial W_p} = -\frac{1}{\kappa_2 W_p}$$

$$\frac{1}{\kappa_2} = \frac{1}{d_{0.5.nbb}} \left(\frac{1}{2} (d_{0.5.bb} - t_{in} V_{t.bb}) - \eta \left(d_{0.5.nbb} - \frac{t_{in}}{2} V_{t.nbb} - \frac{t_{in}}{2} \right) \right)$$

$$= -\frac{t_{in} (\eta + \eta V_{t.nbb} - V_{t.bb}) - d_{0.5.bb}}{2d_{0.5.nbb}} \ll 1$$

수학식 8은 상술된 제 2 경우($t_{0.5.bb} < t_{in} < t_{0.5nbb}$)를 보여주는 수학식이다. 수학

식 8을 참조하면, κ_2 은 pMOS 트랜지스터(110)의 너비(W_p)를 제외한 나머지 상수 값

들을 가리킨다. $1/\kappa_2$ 은 1보다 매우 작기 때문에, $1/(\kappa_2 W_p)$ 의 값 또한 0에 근접할 것이다. 즉, 제 2 경우에서, pMOS 트랜지스터(110)의 너비(W_p)의 변화에 대한 지연 시간 비율(η)의 변화는 무시할 수 있을 정도로 작을 것이다.

【수학식 9】

$$\frac{\partial \eta}{\partial W_p} = \frac{1}{\kappa_3 W_p}$$

$$\frac{1}{\kappa_3} = \frac{1}{d_{0.5.nbb}} \left(d_{0.5.bb} - \frac{t_{in}}{2} V_{t.bb} - \frac{t_{in}}{2} - \eta \left(d_{0.5.nbb} - \frac{t_{in}}{2} V_{t.nbb} - \frac{t_{in}}{2} \right) \right)$$

$$= \frac{t_{in} (V_{t.bb} - \eta V_{t.nbb} + 1 - \eta) - d_{0.5.bb}}{2d_{0.5.nbb}} \ll 1$$

수학식 9는 상술된 제 3 경우($t_{in} < t_{0.5.bb}$)를 보여주는 수학식이다. 수학식 9를 참조하면, κ_3 은 pMOS 트랜지스터(110)의 너비(W_p)를 제외한 나머지 상수들을 가리킨다. $1/\kappa_3$ 은 1보다 매우 작기 때문에, $1/(\kappa_3 W_p)$ 의 값은 0에 근접할 것이다. 즉, 제 3 경우에서, pMOS 트랜지스터(110)의 너비(W_p)의 변화에 대한 지연시간 비율(η)의 변화는 무시할 수 있을 정도로 작을 것이다.

수학식 7 내지 9를 참조하면, 상술된 제 1 내지 제 3 경우 모두에 대하여 pMOS 트랜지스터(110)의 너비(W_p)의 변화에 대한 지연시간 비율(η)의 변화량은 수학식 10과 같이 간략히 나타낼 수 있다.

【수학식 10】

$$\left| \frac{\partial \eta}{\partial W_p} \right| \cong \frac{1}{\kappa W_p},$$

$$\frac{1}{\kappa} \ll 1$$

수학식 10을 참조하면, κ 는 pMOS 트랜지스터(110)의 너비(W_p)를 제외한 나머지 상수들을 가리킨다. 앞서 설명된 바와 같이 제 1 내지 제 3 경우들 모두에 대하여 $1/\kappa$ 는 1보다 매우 작으므로, pMOS 트랜지스터(110)의 너비(W_p)의 변화에 대한 지연시간 비율(η)의 변화는 무시할 수 있을 정도로 작을 것이다.

즉, 상술된 본 발명의 지연시간 비율은 트랜지스터들의 크기(예를 들어, 너비)와 무관하다. 따라서, 상술된 지연시간 비율을 사용하여 게이트 지연시간 모델링을 할 경우 오버헤드가 줄어들게 되므로, 칩 설계 시간 및 칩의 면적을 감소시킬 수 있다.

도 4는 NOR 게이트(300)를 보여주는 회로도이다. 예시적으로, NOR 게이트(300)는 복수의 pMOS 트랜지스터(311, 312)가 스택된(stacked) 구조를 갖는다. 도 3을 참조하면, NOR 게이트(300)는 pMOS 트랜지스터들(311, 312), nMOS 트랜지스터들(321, 322), 및 캐패시터(330)를 포함한다. NOR 게이트(300)는 도 1의 인버터 게이트(200)와 달리, 복수의 pMOS 트랜지스터들(311, 312)이 스택된 구조를 갖기 때문에, pMOS 트랜지스터(311)의 전압 강하(V_x)로 인하여 pMOS 트랜지스터(312)가 공급받는 전원전압은 ($V_{DD}-V_x$)가 된다. 이로 인하여,

지연시간($d_{0.5}$) 및 지연시간 비율(η)이 달라질 수 있다. 따라서, 스택된 pMOS 트랜지스터의 수에 따라서 지연 시간 비율이 다르게 구성될 수 있다. 예를 들어, 앞서 설명된 수학적식들을 적용하면, 도 3의 NOR 게이트(200)의 지연시간 비율(η')은 도 1의 인버터 게이트(100)의 지연시간 비율(η)과는 별개로 구성될 수 있다.

예시적으로, 스택(stack)은 게이트의 전원전압(V_{DD}) 및 출력단 사이의 직렬 연결된 트랜지스터의 수를 가리킨다. 본 발명의 실시 예에서 스택(stack)은 전원전압(V_{DD}) 및 출력단 사이의 직렬 연결된 pMOS 트랜지스터의 수를 가리키나, 본 발명의 범위가 이에 한정되는 것은 아니다.

도 5는 AND 게이트(400)를 보여주는 회로도이다. 예시적으로, AND 게이트(400)는 다단 구조(multi-stage)를 갖는다. 도 4를 참조하면, AND 게이트(400)는 제 1 스테이지(S1) 및 제 2 스테이지(S2)를 포함한다. 예시적으로, 스테이지의 수는 게이트의 입력단 및 출력단 사이의 트랜지스터의 수를 가리킨다.

제 1 스테이지(S1)는 pMOS 트랜지스터들(411, 412), nMOS 트랜지스터들(421, 422), 및 캐패시터(430)를 포함한다. 제 1 스테이지(S1)는 입력 신호들(A, B)에 응답하여 캐패시터(430)를 충전할 수 있다. 예를 들어, 입력신호들(A, B) 중 어느 하나가 로직 하이인 경우, 캐패시터(430)는 전원전압(V_{DD})으로 충전된다.

입력신호들(A, B) 모두가 로직 로우인 경우, 캐패시터(430)에 충전된 전하들은 nMOS 트랜지스터들(421, 422)을 통해 방전된다.

제 2 스테이지(S2)는 pMOS 트랜지스터(441), nMOS 트랜지스터(451), 및 캐패

시터(460)를 포함한다. 제 2 스테이지(S2)는 도 1의 인버터 게이트(200)와 동일한 구성을 갖는다. 제 2 스테이지(S2)는 제 1 스테이지(S1)의 출력에 응답하여, 제 1 스테이지(S1)의 출력을 반전하여 출력한다.

【수학식 11】

$$d_p = d_p^1 + d_p^2 = d_{intr}^1 + k_L^1 C_L^1 + d_{intr}^2 + k_L^2 C_L^2$$

수학식 11은 AND 게이트(400)의 지연시간(d_p)를 보여주는 수학식이다. 수학식 11을 참조하면, d_p 는 AND 게이트(400)의 지연시간을 가리키고, d_{p1} 은 제 1 스테이지(S1)의 지연시간을 가리키고, d_{p2} 는 제 2 스테이지(S2)의 지연시간을 가리킨다. d_{intr}^1 은 제 1 스테이지(S1)의 기생 캐패시터에 의한 지연시간을 가리키고, $k_L^1 C_L^1$ 은 제 1 스테이지(S1)의 캐패시터(430)에 의한 지연시간을 가리킨다. d_{intr}^2 은 제 2 스테이지(S2)의 기생 캐패시터에 의한 지연시간을 가리키고, $k_L^2 C_L^2$ 은 제 2 스테이지(S2)의 캐패시터(460)에 의한 지연시간을 가리킨다.

다단 구조를 갖는 AND 게이트(400)의 경우, 전하가 저장되는 캐패시터의 위치에 따라 지연시간($d_{p,bb}$)이 달라질 수 있다. 먼저, 제 1 스테이지(S1)의 캐패시터(430)에 전하가 저장되는 경우, 지연시간($d_{p,bb}$)는 수학식 12와 같을 것이다.

【수학식 12】

$$\begin{aligned}
 d_{p.bb} &= d_{p.bb}^1 + d_{p.nbb} = \eta \left(d_{p.nbb} + \frac{t_{in}}{2} \right) - \frac{t_{in}}{2 d_{p.nbb}^2} \\
 &= \eta \left(d_{p.nbb} - d_{p.nbb}^2 + \frac{t_{in}}{2} \right) - \frac{t_{in}}{2} + d_{p.nbb}^2 \\
 &\approx \eta \left(d_{p.nbb} - k_L^2 C_L + \frac{t_{in}}{2} \right) - \frac{t_{in}}{2} + k_L^2 C_L
 \end{aligned}$$

수학식 12를 참조하면, 수학식 1 내지 10을 참조하여 설명된 지연시간 비율(η), 제 1 스테이지(S1)의 캐패시터(430)의 정전용량(C_L^1), 및 입력 시간(t_{in})이 미리 결정되거나 또는 측정된 상수값이다. 따라서, AND 게이트(400)의 지연시간($d_{p.bb}$)은 k_L^2 에 의해 결정될 것이다.

다음으로, 제 2 스테이지(S2)의 캐패시터(460)에 전하가 저장되는 경우, 지연시간($d_{p.bb}$)은 수학식 13과 같을 것이다.

【수학식 13】

$$\begin{aligned}
 d_{p.bb} &= (d_{p.nbb} - d_{0.5.nbb}^2) + d_{0.5.bb}^2 \\
 &= d_{p.nbb} - (1 - \eta) \left(d_{intr}^2 + k_L^2 C_L + \frac{t_{in}}{2} \right) \\
 &\approx d_{p.nbb} - (1 - \eta) k_L^2 C_L
 \end{aligned}$$

수학식 13을 참조하면, AND 게이트(300)의 지연시간($d_{p.bb}$)은 $d_{p.nbb}$ 및 k_L^2 에

의해 결정될 수 있다. 수학식 11을 참조하여 정리하면, 수학식 14와 같이 k_L^2 을 구할 수 있다.

【수학식 14】

$$k_L^2 = \frac{d_p(C_{L1}) - d_p(C_{L2})}{C_{L1} - C_{L2}}$$

따라서, 상술된 수학식 11 내지 14를 참조하여, 다단 구조를 갖는 게이트들의 지연시간(d_p)을 구성할 수 있다. 즉, 다단 구조를 갖는 게이트들은 도 2의 인버터 게이트(200)와 다른 지연시간 테이블을 구성할 수 있을 것이다.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 출력 시간의 비율을 설명하기 위한 그래프이다. 예시적으로, 본 발명에 따른 출력시간(t_{out})은 출력신호(OUT)가 제 1 기준전압(예를 들어, 전원전압의 10%)에서 제 2 기준전압(예를 들어, 전원전압의 90%)에 도달하는 시간을 가리킨다.

도 6a를 참조하면, 출력신호(OUT)가 영전압부터 임의의 전압레벨(예를 들어, $x \cdot V_{DD}$)에 도달하는데 걸리는 시간(d_x , 이하에서 '천이시간'이라 한다.)보다 입력시간(t_{in})이 긴 경우, 천이시간(d_x)은 수학식 15와 같이 나타낼 수 있다. 이와 반대로, 출력신호(OUT)가 임의의 전압레벨(예를 들어, $x \cdot V_{DD}$)에 도달하는데 걸리는 천이시간(d_x)보다 입력시간(t_{in})이 짧은 경우, 천이시간(d_x)은 수학식 16과 같이 나타낼 수 있다.

【수학식 15】

$$d_x = \frac{V_t t_{in}}{V_{DD}} + \sqrt{\frac{2x C_L t_{in}}{k W_p}} = \alpha_1 V_t + \sqrt{\frac{x \beta_1'}{W_p}}$$

【수학식 16】

$$\begin{aligned} d_x &= \frac{t_{in}(V_{DD} + V_t)}{2V_{DD}} + \frac{x C_L V_{DD}}{k W_p (V_{DD} - V_t)} \\ &= \alpha_2 V_t + \frac{x \beta_2'}{W_p (V_{DD} - V_t)} + \gamma \end{aligned}$$

수학식 15 및 16을 참조하면, 천이계수들(a, b)에 대한 제 1 및 제 2 천이시간들(d_a , d_b)을 구할 수 있다. 출력시간(t_{out})은 제 1 천이시간(d_a) 과 제 2 천이시간(d_b)의 차이를 가리키므로, 수학식 15 및 16을 참조하여 수학식 17과 같이 출력시간(t_{out})이 정리될 수 있다.

【수학식 17】

$$t_{out} = d_b - d_a = \begin{cases} \sqrt{\frac{b \beta_1'}{W_p}} - \sqrt{\frac{a \beta_1'}{W_p}} & , d_b < t_{in} \\ \frac{(b-a) \beta_2'}{W_p (V_{DD} - V_t)} & , t_{in} < d_a \\ -\alpha_2 V_t + \frac{b \beta_2'}{W_p (V_{DD} - V_t)} + \gamma - \sqrt{\frac{a \beta_1'}{W_p}} & , d_a < t_{in} < d_b \end{cases}$$

수학식 17을 참조하면, a 및 b는 출력신호(OUT)의 천이계수들을 가리킨다.

천이계수들(a, b)은 전원전압(V_{DD})에 대한 비율을 가리키는 계수들이다. α_1 , α_2 ,

β_1 , β_2 , 및 γ 는 출력시간(t_{out})에 대한 변수들을 제외한 상수 값들을 가리킨다.

출력시간(t_{out})은 pMOS 트랜지스터의 임계전압(V_t), 너비(W_p) 및 천이시점들(a, b)에

의해 결정된다. 바디 바이어스 전압이 인가되기 전의 출력시간 및 바디 바이어스

전압이 인가된 후의 출력시간의 비율(χ)은 수학식 17을 참조하여 도출될 수 있다.

【수학식 18】

$$\begin{aligned} \chi(V_{t,bb}, V_{t,nbb}, W_p, a, b) &= \frac{t_{out}(V_{t,bb}, W_p, a, b)}{t_{out}(V_{t,nbb}, W_p, a, b)} \\ &= \frac{d_x(V_{t,bb}, W_p, b) - d_x(V_{t,bb}, W_p, a)}{d_x(V_{t,nbb}, W_p, b) - d_x(V_{t,nbb}, W_p, a)} \end{aligned}$$

수학식 18은 바디 바이어스 전압이 인가되기 전의 출력시간($t_{out,nbb}$) 및 바디

바이어스 전압이 인가된 후의 출력시간($t_{out,bb}$)의 비율(χ)을 보여주는 수학식이다.

수학식 18을 참조하면, 출력시간 비율(χ)은 바디 바이어스 전압이 인가되기 전의

pMOS 트랜지스터의 문턱전압($V_{t,nbb}$), 바디 바이어스 전압이 인가된 후의 pMOS 트랜

지스터의 문턱전압($V_{t,bb}$), pMOS 트랜지스터의 너비(W_p), 및 천이시점들(a, b)에 의

해 결정된다. 이 경우, 바디 바이어스 전압이 인가되기 전의 pMOS 트랜지스터의 문

턱전압($V_{t,nbb}$), 바디 바이어스 전압이 인가된 후의 pMOS 트랜지스터의

문턱전압($V_{t,bb}$), 및 천이시점들(a, b)은 미리 결정되거나 또는 측정된 값들일 것이

다. 따라서, 출력시간 비율(χ)과 연관된 변수는 pMOS 트랜지스터의 너비(W_p)일 수 있다.

【수학식 19】

$$\frac{\partial \chi}{\partial W_p} = \frac{1}{t_{out.nbb}} \left(\frac{\partial t_{out.bb}}{\partial W_p} - \chi \frac{\partial t_{out.nbb}}{\partial W_p} \right)$$

수학식 19는 pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율의 변화량을 보여주는 수학식이다. 수학식 19를 참조하여, 도 6b에 도시된 제 1 내지 제 5 경우들(I~V)의 pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량을 구할 수 있다.

【수학식 20】

$$\frac{\partial \chi}{\partial W_p} = \frac{1}{\kappa_4 W_p}$$

$$\frac{1}{\kappa_4} = - \frac{1}{t_{out.nbb}} (t_{out.bb} - \chi t_{out.nbb}) = 0$$

먼저, 제 1 경우(I, $t_{in} < d_{a,nbb}$, $t_{in} < d_{a,bb}$)에서 pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율의 변화량은 수학식 20과 같다. 수학식 20을 참조하면, κ_4 는 W_p 를 제외한 나머지 상수값들을 가리킨다. $1/\kappa_4$ 는 0이므로, pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량은 없다. 즉, 제 1 경우(i,

$t_{in} < d_{a,nbb}$, $t_{in} < d_{a,bb}$)에서 출력시간 비율(χ)은 pMOS 트랜지스터의 너비와 무관하다.

【수학식 21】

$$\frac{\partial \chi}{\partial W_p} = \frac{1}{\kappa_5 W_p}$$

$$\frac{1}{\kappa_5} = -\frac{1}{2t_{out.nbb}}(t_{out.bb} + d_{b.bb} - t_{in} - 2\chi t_{out.nbb})$$

$$= \frac{t_{in} - d_{a.bb}}{2t_{out.nbb}} \ll 1$$

다음으로, 제 2 경우(II, $t_{in} < d_{b,nbb}$, $d_{a,bb} < t_{in} < d_{b,bb}$)에서 pMOS 트랜지스터

너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량은 수학식 21과 같다. 수학식

21을 참조하면, κ_5 는 W_p 를 제외한 나머지 상수 값들을 가리킨다. $1/\kappa_5$ 는 1보다 매우

작은 값이므로, pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율(χ)의

변화량은 무시될 수 있을 정도로 매우 작다.

【수학식 22】

$$\frac{\partial \chi}{\partial W_p} = \frac{1}{\kappa_6 W_p}$$

$$\frac{1}{\kappa_6} = -\frac{1}{2t_{out.nbb}}(t_{out.bb} + d_{b.bb} - t_{in} - \chi(t_{out.nbb} + d_{b.nbb} - t_{in}))$$

$$= -\frac{d_{b.bb} - t_{in} - \chi(d_{b.nbb} - t_{in})}{2t_{out.nbb}} \ll 1$$

다음으로, 제 3 경우(Ⅲ, $d_{a,nbb} < t_{in} < d_{b,nbb}$, $d_{a,bb} < t_{in} < d_{b,bb}$)에서 pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량은 수학식 22와 같다. 수학식 22를 참조하면, κ_6 는 W_p 를 제외한 나머지 상수값들을 가리킨다. $1/\kappa_5$ 는 1보다 매우 작은 값이므로, pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량은 무시할 수 있을 정도로 작다.

【수학식 23】

$$\frac{\partial \chi}{\partial W_p} = \frac{1}{\kappa_7 W_p}$$

$$\frac{1}{\kappa_7} = -\frac{1}{t_{out,nbb}} \left(\frac{t_{out,bb}}{2} - \frac{\chi}{2} (t_{out,nbb} + d_{b,nbb} - t_{\in}) \right)$$

$$= -\frac{\chi(-d_{b,nbb} + t_{in})}{2t_{out,nbb}} \ll 1$$

다음으로, 제 4 경우(Ⅳ, $d_{a,nbb} < t_{in} < d_{b,nbb}$, $d_{b,bb} < t_{in}$)에서 pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량은 수학식 23과 같다. 수학식 23을 참조하면, κ_7 는 W_p 를 제외한 나머지 상수 값들을 가리킨다. $1/\kappa_7$ 는 1보다 매우 작은 값이므로, pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량은 무시할 수 있을 정도로 매우 작다.

【수학식 24】

$$\frac{\partial \chi}{\partial W_p} = \frac{1}{\kappa_8 W_p}$$

$$\frac{1}{\kappa_8} = - \frac{1}{2t_{out.nbb}} (t_{out.bb} - \chi t_{out.nbb}) = 0$$

마지막으로, 제 5 경우($V, d_{b,nbb} < t_{in}, d_{b,bb} < t_{in}$)에서 pMOS 트랜지스터

너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량은 수학식 24와 같다. 수학식

24를 참조하면, κ_8 는 W_p 를 제외한 나머지 상수 값들을 가리킨다. $1/\kappa_8$ 의 값은 0이

기 때문에, pMOS 트랜지스터 너비(W_p)의 변화에 따른 출력시간 비율(χ)의 변화량은

없다. 즉, 제 5 경우에서, 출력시간 비율은 pMOS 트랜지스터의 너비와 무관할 수

있다.

수학식 20 내지 24를 참조하여 설명된 바와 같이, 제 1 내지 제 5 경우(I~

V) 모두에서 pMOS 트랜지스터 너비(W_p)의 변화에 대한 출력시간 비율(χ)의 변화량

은 없거나 매우 작다. 따라서, 제 1 내지 제 5 경우(I~V) 모두에서, 출력시간 비

율(χ)은 pMOS 트랜지스터 너비(W_p)와 무관할 수 있다.

상술된 바와 같이, 게이트의 출력시간 비율을 모델링하여 게이트 출력시간

테이블과 조합하면, 바디 바이어스 인가 후의 게이트의 출력시간이 예측될 수

있다. 또한, 게이트의 구조(예를 들어, 트랜지스터의 스택의 수 및 스테이지의 수)

만 고려하여 표준 게이트의 출력시간 비율을 모델링하므로 불필요한 오버헤드가 감

소할 수 있다. 게이트의 구조에 따른 출력 시간의 모델링 방법은 앞서 설명된 게이트의 구조에 따른 지연시간 모델링 방법과 유사하므로 이에 대한 설명은 생략된다.

도 7은 본 발명의 실시 예에 따른 게이트 지연시간의 모델링 방법을 보여주는 순서도이다. 간결한 설명을 위하여, 게이트 지연시간의 모델링 방법이 도 7을 참조하여 설명되나, 본 발명에 따른 게이트 출력시간 또한 도 7에 도시된 순서도에 따른 방법으로 모델링될 수 있다. 예시적으로, 게이트 지연 시간 및 출력 시간은 상술된 수학적식들을 기반으로 모델링될 것이다.

도 7을 참조하면, S110 단계에서, 칩에 포함된 복수의 게이트들 중 일부가 선택된다. 선택된 게이트는 동일한 구조(예를 들어, 스택된 트랜지스터의 수 및 단 구조가 동일)를 갖는 게이트들 중 특정 게이트일 수 있다.

S120 단계에서, 선택된 게이트의 구조가 판별된다. 예를 들어, 선택된 게이트의 스택의 수 및 스테이지의 수가 판별될 수 있다.

S130 단계에서, S120 단계의 판별결과에 따라 지연시간 비율이 생성된다. 예를 들어, 상술된 수학적식들을 기반으로 S120 단계의 분류결과에 따라 게이트의 지연시간 비율이 생성될 수 있다. 예시적으로, 생성된 게이트의 지연시간 시간 비율은 정보 저장 매체(예를 들어, 반도체 메모리, 플로피 디스크, 콤팩트 디스크, 하드 디스크 등)에 저장될 수 있다.

S140 단계에서, 생성된 지연시간 비율을 기반으로 선택된 게이트의 지연시간이 계산될 수 있다. 예를 들어, 바디 바이어스 인가 전 선택된 게이트의 지연시간은 미리 결정되거나 또는 측정될 수 있다. 따라서, 바디 바이어스 전압 인가 전 선

택된 게이트의 지연시간 및 생성된 지연시간 비율을 기반으로 바디 바이어스 인가 후 선택된 게이트의 지연시간이 계산될 수 있다. 예시적으로, 선택된 게이트와 동일한 구조를 갖는 게이트들에서, 생성된 지연시간 비율을 기반으로 하여 바디 바이어스 전압 인가 후의 지연시간이 계산될 수 있다.

S150 단계에서, S140 단계의 계산 결과를 기반으로 지연시간 테이블이 생성될 수 있다. 생성된 테이블은 저장 매체(예를 들어, 반도체 메모리, 플로피 디스크, 콤팩트 디스크, 하드 디스크 등)에 저장될 수 있다.

상술된 본 발명의 게이트 지연 시간 모델링 방법에 따르면, 불필요한 오버헤드를 최소화하면서 바디 바이어스 전압이 가해진 모든 게이트의 지연 시간이 예측될 수 있다. 예측된 지연시간 정보를 이용하여 칩 또는 회로 설계시 안정된 동작 성능, 감소된 비용 또는 감소된 면적이 제공된다.

본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다.

그러므로, 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

【부호의 설명】

200 : 인버터 게이트

300 : NOR 게이트

400 : AND 게이트

【특허청구범위】

【청구항 1】

복수의 게이트들의 지연시간 모델링 방법에 있어서,

상기 복수의 게이트들 중 제 1 게이트를 선택하는 단계;

상기 선택된 제 1 게이트의 구조를 판별하는 단계;

상기 판별 결과에 따라 상기 선택된 제 1 게이트의 지연시간 비율을 생성하는 단계; 및

상기 생성된 지연시간 비율 및 상기 복수의 게이트들 중 제 2 게이트의 지연시간을 기반으로 바디 바이어스 전압이 인가된 경우의 상기 제 2 게이트의 지연시간을 계산하는 단계를 포함하고,

상기 제 1 및 제 2 게이트들은 서로 동일한 스택의 수 및 스테이지의 수를 갖고,

상기 스택의 수는 상기 제 1 및 제 2 게이트들의 전원전압 및 출력단 사이의 트랜지스터의 개수이고,

상기 스테이지의 수는 상기 제 1 및 제 2 게이트들의 입력단 및 출력단 사이의 트랜지스터의 개수인 게이트 지연시간 모델링 방법.

【청구항 2】

제 1 항에 있어서,

상기 지연시간은 입력신호가 변하는 시점부터 출력신호가 전원 전압의 1/2배가 되는 시점인 게이트 지연시간 모델링 방법.

【청구항 3】

제 2 항에 있어서,

상기 제 1 및 제 2 게이트들 각각에 포함된 트랜지스터들은 서로 다른 너비를 갖는 게이트 지연시간 모델링 방법.

【청구항 4】

제 1 항에 있어서,

상기 선택된 게이트의 구조를 판별하는 단계는,

상기 선택된 게이트가 다단 구조인지 판별하는 단계; 및

상기 선택된 게이트가 스택 구조인지 판별하는 단계를 포함하는 게이트 지연시간 모델링 방법.

【청구항 5】

제 4 항에 있어서,

상기 판별 결과에 따라 지연시간 비율을 생성하는 단계는,

상기 판별된 다단 구조 및 상기 판별된 스택 구조에 따라 각각 서로 다른 지연시간 비율을 생성하는 단계를 포함하는 게이트 지연시간 모델링 방법.

【청구항 6】

제 1 항에 있어서,

상기 복수의 게이트들 각각의 지연시간 및 상기 생성된 지연시간 비율에 기반하여, 상기 바디 바이어스 전압이 인가된 경우의 상기 복수의 게이트들 각각의 지연시간을 계산하는 단계를 더 포함하는 게이트 지연시간 모델링 방법.

【청구항 7】

복수의 게이트들의 출력시간 모델링 방법에 있어서,

상기 복수의 게이트들 중 제 1 게이트를 선택하는 단계;

상기 선택된 제 1 게이트의 구조를 판별하는 단계;

상기 판별 결과에 따라 출력시간 비율을 생성하는 단계; 및

상기 생성된 출력시간 비율 및 복수의 게이트들 중 제 2 게이트의 출력시간을 기반으로, 바디 바이어스 전압이 인가된 경우의 상기 제 2 게이트의 출력시간을 계산하는 단계를 포함하고,

상기 제 1 및 제 2 게이트들 각각은 서로 동일한 스택의 수 및 스테이지의 수를 갖고,

상기 스택의 수는 상기 제 1 및 제 2 게이트들의 전원전압 및 출력단 사이의 트랜지스터의 개수이고,

상기 스테이지의 수는 상기 제 1 및 제 2 게이트들의 입력단 및 출력단 사이의 트랜지스터의 개수인 게이트 출력시간 모델링 방법.

【요약서】

【요약】

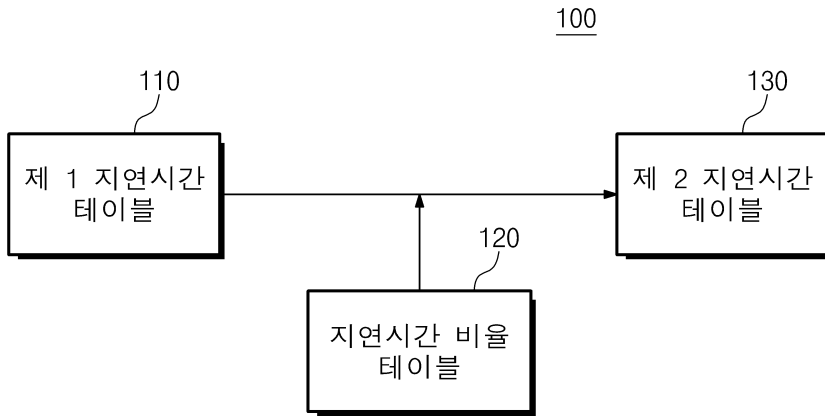
본 발명은 바디 바이어스 전압이 인가된 경우의 게이트 지연시간 또는 출력시간을 예측하는 모델링 방법에 관한 것이다. 본 발명에 따른 게이트 지연시간 또는 출력시간 모델링 방법은 복수의 게이트들 중 제 1 게이트를 선택하는 단계; 선택된 제 1 게이트의 구조를 판별하는 단계; 판별 결과에 따라 선택된 제 1 게이트의 지연시간 비율 또는 출력시간 비율을 생성하는 단계; 및 생성된 지연시간 비율 또는 출력시간 비율과 복수의 게이트들 중 제 2 게이트의 지연시간 또는 출력시간을 기반으로 바디 바이어스 전압이 인가된 경우의 제 2 게이트의 지연시간 또는 출력시간을 계산하는 단계를 포함한다.

【대표도】

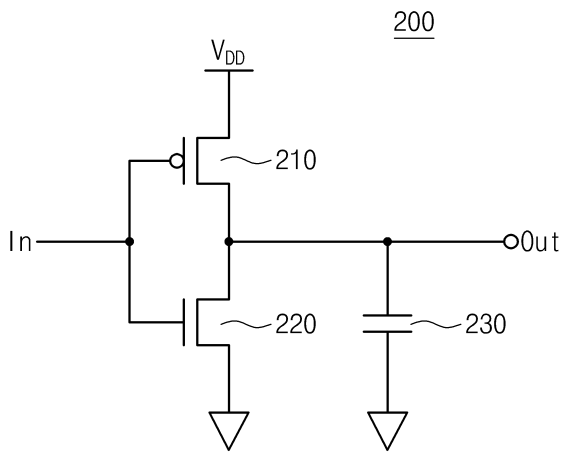
도 1

【도면】

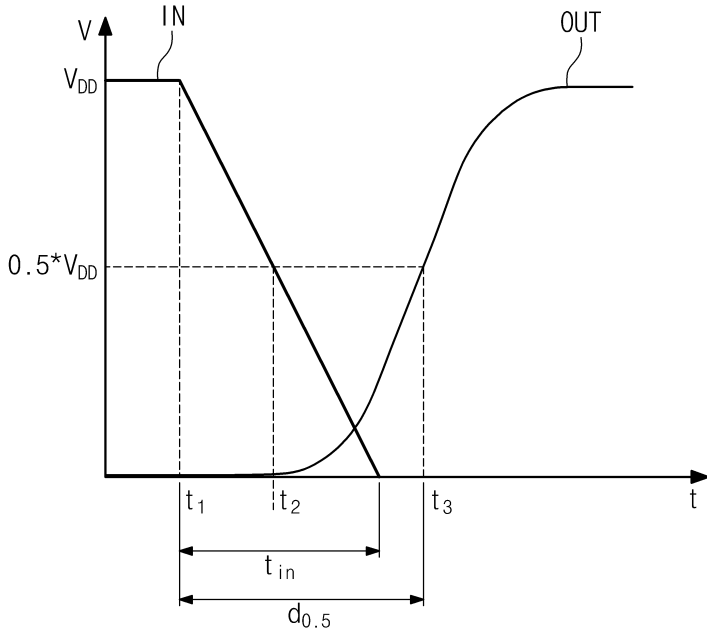
【도 1】



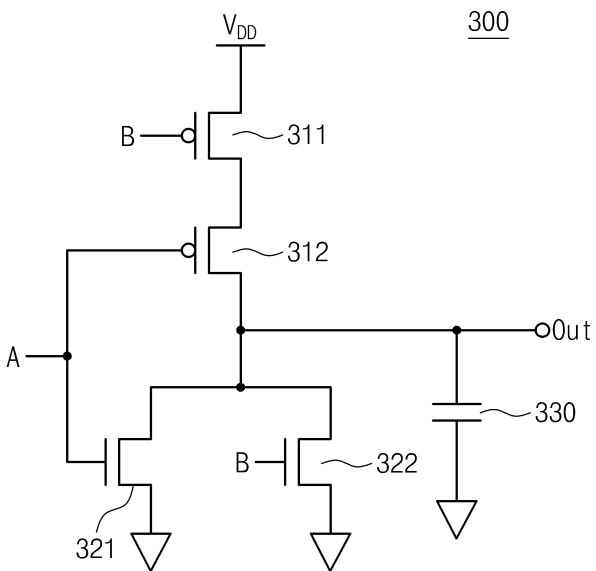
【도 2】



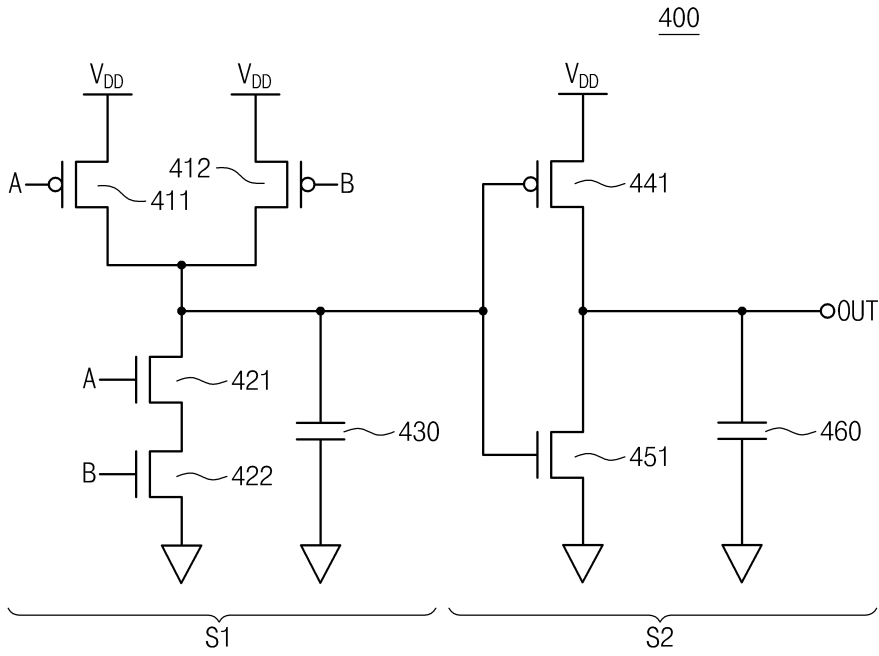
【도 3】



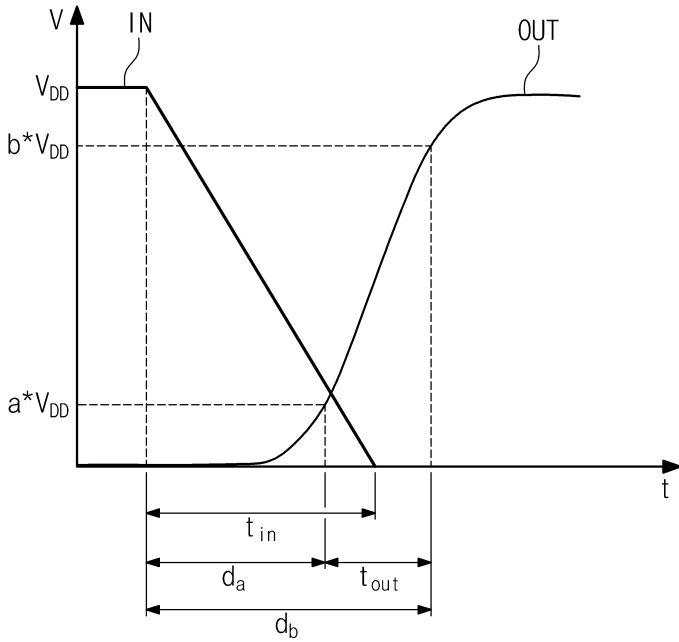
【도 4】



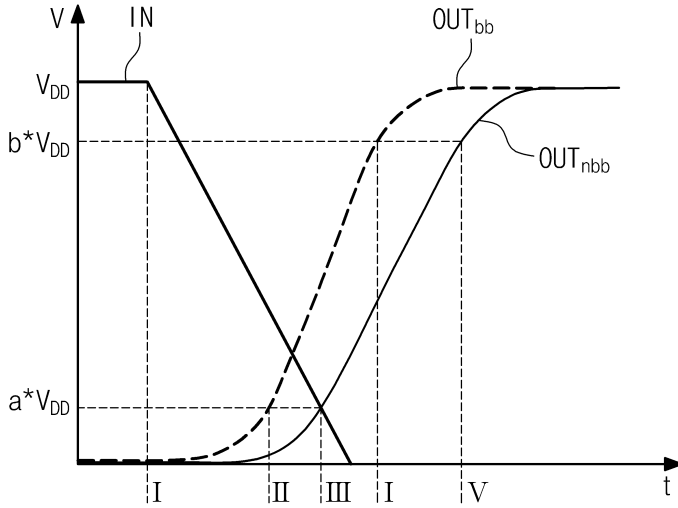
【도 5】



【도 6a】



【도 6b】



【도 7】

